

WO0079682

**Title:
OUTPUT CONTROLLER**

Abstract:

An output controller connected to an output circuit parallel and including an auxiliary circuit for controlling an adjusting current smaller than the output current at a substantially constant ratio, so as to perform control so that the potential of each terminal of the output circuit may be equal to that of the corresponding terminal of the auxiliary circuit and thereby to control the ratio between the output current and the adjusting current to be constant. The output controller is made up of a bridge having four arms including an output circuit, an auxiliary circuit, a load, and a current detecting circuit or current setting circuit respectively. The difference of potential between each of the terminal of the output circuit and the corresponding terminal of the auxiliary circuit are measured and fed back to change the equivalent impedance of one of the arms. Thus the bridge is controlled to balance.



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、出力回路と並列に接続され、出力電流に対して実質的に一定の比率だけ小さい調整用電流を制御するための補助回路を有する出力制御装置において、出力回路と補助回路とを互いに対応する端子同士の電位を一致させるように制御して、出力電流と調整用電流との比率を一定に制御することを目的とする。その目的を達成する手段として、出力制御装置において、出力回路、補助回路、負荷、電流検出回路又は電流設定回路、をそれぞれ含む四つの枝から成るブリッジを構成する。出力回路及び補助回路の互いに対応する端子同士の電位差を検出し、その電位差をフィードバックして、ブリッジの四つの枝のうちいずれか一つの枝の等価インピーダンスを変化させる。それにより、ブリッジがバランスするよう制御する。

明細書

出力制御装置

技術分野

本発明は電力用半導体装置に使用される出力制御装置に関する。

背景技術

モータ、アクチュエータ等の駆動回路や電源回路等に含まれる出力回路は、過電流から回路素子を保護し、又は、出力電流を所定の値を超えないように制御する等の目的で、出力電流を遮断するための遮断回路を含む。

図13は遮断回路の一つの従来例である。出力トランジスタ1は負荷3を駆動するためのトランジスタである。出力トランジスタ1には電流検出用抵抗101が直列に接続されている。抵抗101の両端の電位差、すなわち、出力トランジスタ1を流れる電流（以下、出力電流という）による電圧降下量が差動アンプ103で基準電圧102と比較される。基準電圧102は制御目標量の出力電流による電圧降下量に等しくなるよう設定されている。

差動アンプ 103 の比較結果は制御回路へ出力される。制御回路は、出力電流が制御目標量より大きい場合、すなわち、差動アンプ 16 の出力が負の場合、出力トランジスタ 1 を遮断する。一旦遮断された出力トランジスタ 1 は制御回路によりその状態に保たれる。制御回路は、外部から導通を指示する信号を入力した場合、又は、所定の時間後に差動アンプ 103 の出力が正になっている場合、出力トランジスタ 1 を再び導通させる。こうして、出力電流は制御目標量を実質的に超えない。

しかし、図 13 の上記の従来例では抵抗 101 が出力トランジスタ 1 に対して直列に接続される。それ故、出力電圧の範囲が減少し、又は、余分な電力消費につながる、という問題点があった。

図 14 は遮断回路の他の従来例である。この従来例では上記の従来例の問題点が次のように改善される。

この二番目の従来例は、出力トランジスタ 1 に対して並列に補助トランジスタ 2 を接続し、補助トランジスタ 2 に対して直列に電流検出用抵抗 101 を接続している。補助トランジスタ 2 が出力する電流（以下、調整用電流という）I2 は、共通の入力に対して出力トランジスタ 1 が出力する出力電流 I1 と比べて所定の比率だけ小さい。例えば、集積回路等のように出力トランジスタ 1 と補助トランジスタ 2 をモノリシックに形成する場合、補助トランジスタ 2 は出力トランジスタ 1 と実質的に同じ構造であるが、そのサイズが出力トランジスタ 1 より

小さい。この場合、共通の入力電圧に対してそれぞれのトランジスタが出力する電流の比率は実質的にそのサイズ比になる。

電流検出用抵抗101を利用して、調整用電流I2を最初の従来例同様に制御目標値を超えないように制御する。抵抗101による電圧降下量が出力トランジスタ1へ入力される電圧に比べて十分無視できるほど小さければ、電流の比率I1/I2はトランジスタのサイズ比に実質的に等しい。つまり、電流I1及びI2は比例し、その比例係数はトランジスタのサイズ比で実質的に決まり、入力電圧及び環境の温度等には実質上依らない。それ故、出力電流I1が、上記の制御目標量より上記の比の逆数だけ大きい量を超えないように制御できる。二番目の従来例の場合、抵抗101が出力トランジスタ1に対して直列に接続されていないので、最初の従来例に比べ出力電圧の範囲を広くできると共に、余分な電力消費を抑えることができる。

抵抗101による電圧降下量が出力トランジスタ1へ入力される電圧に比べて無視できないほど大きい場合、出力トランジスタ1のゲート・ソース間電圧（以下、ゲート電圧という）が補助トランジスタ2のものより抵抗101による電圧降下量だけ大きい。これにより、出力電流I1と調整用電流I2との比率I1/I2が、トランジスタのサイズ比だけでなく、ソース・ドレイン間電圧又はゲート電圧、及び、ゲート電圧の閾値等のパラメータに依存

する。従って、出力電流 I_1 と調整用電流 I_2 とは一般に非線形な関係になる。特に、出力電流 I_1 が調整用電流 I_2 に比べてトランジスタのサイズ比で決まる比率を超えて大きくなりやすく、ゲート電圧が大きい領域では電流の比率 I_1/I_2 がトランジスタのサイズ比の数倍以上大きくなる。

図 16A は、二番目の従来例において、出力トランジスタ 1 のゲート電圧に対する出力電流 I_1 及び調整用電流 I_2 の変化を表すグラフを示す図である。但し、この図の縦軸は比例関係からのズレを見やすくする目的で規格化されている。つまり、出力電流 I_1 に対応する曲線と調整用電流 I_2 に対応する曲線とが一致する場合、出力電流 I_1 及び調整用電流 I_2 は比例関係にある。図 16A が示すように、二番目の従来例では、出力電流 I_1 及び調整用電流 I_2 が、特にゲート電圧が大きい領域で一致しない。更に、上記の二つの曲線のズレは、ゲート電圧の閾値の温度変動により大きく変動する。このように電流の比率 I_1/I_2 がゲート電圧や温度に依存して変動するので、調整用電流 I_2 を所定の制御目標値に合わせるように制御しても、出力電流 I_1 が所定の値から変動してしまう。それ故、二番目の従来例は出力電流 I_1 の制御精度を十分に高くできず、十分な信頼性を確保できなかった。

図 15 は遮断回路の三番目の従来例である。この従来例は二番目の従来例と同様に出力トランジスタ 1 とそれに並列な補助トランジスタ 2 を有する。三番目の従

来例は二番目の従来例とは異なり、出力トランジスタ1及び補助トランジスタ2のゲート電圧が同一である一方、ドレイン・ソース間電圧が異なる。特に出力トランジスタ1では、ドレイン・ソース間電圧が負荷3による電圧降下により比較的大きく低下しやすい。

図16Bは、三番目の従来例において、ゲート電圧に対する出力電流I1及び調整用電流I2の変化を表すグラフを示す図である。図16Bの縦軸は図16A同様規格化されている。図16Bが示すように、三番目の従来例では、出力電流I1及び調整用電流I2が、ゲート電圧がある程度大きくなると一致しなくなる。特に、出力電流I1はゲート電圧の増大に伴って飽和するような変化を示す。従つて、三番目の従来例においても、電流の比率I1/I2がゲート電圧に依存して変動するので、二番目の従来例同様、出力電流I1の制御精度を十分に高くできなかつた。

二番目の従来例では出力トランジスタ1と補助トランジスタ2とのゲート電圧が異なっていたことが、三番目の従来例ではドレイン・ソース間電圧が異なっていたことが、出力電流I1及び調整用電流I2の比率I1/I2を様々な変動因子に依存させる原因であった。そこで、本発明は、出力トランジスタ1と補助トランジスタ2との対応する三端子（ゲート、ソース、ドレイン）の電位を一致させるように制御して、出力電流I1と調整用電流I2との比率I1/I2を一定に補償する出力制御装置を提供する。これにより、出力の制御精度を、動作状態又は温度

の変動や製造時の誤差によるサイズ比等のばらつきに依存しないようにして、従来より装置の信頼性を高くする。

発明の開示

本発明の出力制御装置は、

第一の枝、第二の枝、第三の枝及び第四の枝から構成されたブリッジ回路であって、

前記第一から第四までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一の枝の第一の端子と前記第三の枝の第一の端子とが実質的に定電位の電源接続用の第一の端子に接続され、前記第二の枝の第二の端子と前記第四の枝の第二の端子とが実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、

前記第二の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための出力回路を含み、

前記第三の枝は、前記出力回路と実質的に同一の入

力電圧が印加された場合、前記出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、ブリッジ回路；

前記第一の節点と前記第二の節点との電位差を検出するための電位差検出回路；

並びに、

前記出力回路を前記補助回路と連動させて制御し、前記電位差検出回路の検出した前記電位差に基づいて前記出力回路及び前記補助回路を遮断するための制御回路；

を有する。

これにより、電位差検出回路で検出された電位差に基づいて、例えば、出力回路と補助回路とへ入力される電圧の相違が所定の範囲を超えた場合、出力回路及び補助回路を制御回路に遮断させることができ。そこで、上記の入力電圧の相違に対する遮断レベルを、出力電流と調整用電流との比率が所定の許容範囲の限界に一致する時に対応させておく。すると、上記の比率が許容範囲を超えるれば出力制御装置は出力を遮断させるようにできる。

上記のものとは別の観点による本発明の出力制御装置は、

第一の枝、第二の枝、第三の枝及び第四の枝から構成されたブリッジ回路であって、

前記第一から第四までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一の枝の第一の端子と前記第三の枝の第一の端子とが実質的に定電位の電源接続用の第一の端子に接続され、前記第二の枝の第二の端子と前記第四の枝の第二の端子とが実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、

前記第二の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための出力回路を含み、

前記第三の枝は、前記出力回路と実質的に同一の入力電圧が印加された場合、前記出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、ブリッジ回路；

前記第一の節点と前記第二の節点との電位差を検出するための電位差検出回路；

前記出力回路を前記補助回路と連動させて制御するための制御回路；

並びに、

前記電位差検出回路が検出した前記電位差をフィード

ドバックして、前記ブリッジ回路がバランスして前記比率を実質的に一定に保つように、前記第一から第四までのいずれかの枝の、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する。

これにより、電位差検出回路で検出された電位差、すなわち、出力回路への入力電圧と補助回路への入力電圧とが実質的に等しいように、ブリッジ回路がバランスを保ち続けることができる。従って、出力電流と調整用電流との比率が実質的に一定であり、すなわち、印加される入力電圧及び環境の温度変動に実質上依らない。それ故、制御回路が補助回路により調整用電流を精度良く制御することで、それに連動する出力回路により出力電流も同様に精度良く制御できる。ここで、電流比補償回路はブリッジ回路のいずれかの要素の等価インピーダンスを制御してそのブリッジ回路をバランスさせる。それ故、「電流比補償回路」を「等価インピーダンス制御回路」と呼んでも良い。

上記の出力制御装置が、一つの観点から好ましい様として、前記第四の枝に含まれて前記調整用電流を検出するための電流検出回路を有し、前記制御回路が前記電流検出回路の検出結果に基づいて前記補助回路を制御する。電流比補償回路によりブリッジ回路がバランスした状態では、出力電流と調整用電流との比率は一定に保

たれている。従って、調整用電流を電流検出回路により検出すれば、その結果から出力電流が検出できる。こうして、出力電流を制御回路へフィードバックできる。この場合、出力電流を直接測定する必要がないので、検出動作によって出力電圧の出力可能範囲を狭めるおそれがない。

上記の出力制御装置のもう一つの観点から好ましい態様として、前記第四の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を含む。電流比補償回路により出力電流と調整用電流との比率は一定に保たれるので、電流設定回路により調整用電流を一定にすれば、それにより出力電流も一定になる。又は、電流設定回路により調整用電流を準静的に変化させれば、それにより出力電流も同様に準静的に変化する。ここで、準静的な変化とは、制御回路の出力制御及び電流比補償回路の等価インピーダンスの制御による出力電流及び調整用電流の変化に比べて、十分ゆっくりとした変化をいう。

上記の出力制御装置の更に別の観点から好ましい態様として、前記第二の枝が前記負荷と前記電源接続用の第二の端子との間に直列に接続され、前記電位差に基づいて前記出力電流を導通し又は遮断するためのスイッチ回路を含む。出力電流がブリッジ回路のバランスを崩して大きく変動した場合、過大な出力電流により装置に含まれる素子等が破壊されないように、スイッチ回路が出

力電流を遮断する。これにより、装置の素子等が過電流による破壊から保護される。

更にその場合、前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われても良い。これにより、上記のように過電流に対する保護回路としての機能と、ブリッジ回路をバランスさせるための補償回路としての機能とを、一つのスイッチ回路で兼用できる。

上記の出力制御装置の更に他の観点から好ましい様では、前記電流比補償回路による前記等価インピーダンスの制御が前記出力回路に対して行われても良い。これにより、負荷に対する駆動回路としての本来の機能と、上記のように過電流に対する保護回路としての機能と、ブリッジ回路をバランスさせるための補償回路としての機能とを、一つの出力回路で兼用できる。

上記の出力制御装置を発展させたものの一つとして、一つの観点による本発明の出力制御装置は、

第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝及び第七の枝から構成された出力用回路網であって、

前記第一から第七までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三及び前記第五の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四及び前記第六の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、

前記第七の枝の第一の端子が前記第一の節点へ、前記第七の枝の第二の端子が前記第二の節点へそれぞれ接続され、

前記第七の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝は前記負荷を駆動するための第二の出力回路を含み、

前記第二及び前記第四の枝のそれぞれはスイッチ回路を含み、

前記第五の枝は、前記第一又は前記第二の出力回路のいずれかと運動し、その運動する出力回路と実質的に同一の入力電圧が印加された場合、その運動する出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、出力用回路網；

前記第三の節点に対する前記第一の節点又は前記第

二の節点の電位を検出するための電位差検出回路；

前記第一又は前記第二の出力回路を実質上交互に前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して実質上交互に前記スイッチ回路のいずれかを導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝、前記第七の枝及び前記第四の枝を前記第一の出力回路からの出力電流が流れる場合、前記第一の枝、前記第七の枝と前記第四の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジが、

前記第三の枝、前記第七の枝及び前記第二の枝を前記第二の出力回路からの出力電流が流れる場合、前記第三の枝、前記第七の枝と前記第二の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジが、

それぞれバランスして前記比率を実質的に一定に保つように、前記電位差検出回路が検出した前記電位差をフィードバックして、前記第一から第六までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する。

この出力制御装置は、二つの出力回路及びスイッチ回路を実質上交互に切り替えて導通させ又は遮断することにより、負荷を流れる出力電流を反転できる。出力用回路網の導通している枝だけをつなげると、上記の出

力制御装置のブリッジ回路の構造と実質上同一になつてゐるので、その作用も上記のものと同様である。

この出力制御装置の一つの観点から好ましい態様として、前記第六の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を含む。電流比補償回路により出力電流と調整用電流との比率は一定に保たれるので、電流設定回路により調整用電流を一定にすれば、それにより出力電流も一定になる。又は、電流設定回路により調整用電流を準静的に変化させれば、それにより出力電流も同様に準静的に変化する。

上記の出力制御装置では、もう一つの観点から好ましくは、前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる。これにより、負荷を流れる電流を反転させるためのスイッチ回路を、ブリッジ回路をバランスさせるための補償回路として兼用できる。

上記の出力制御装置の更に他の観点から好ましい態様として、前記電流比補償回路による前記等価インピーダンスの制御が前記第一又は前記第二の出力回路に対して行われても良い。これにより、負荷に対する駆動回路としての本来の機能と、上記のように過電流に対する保護回路としての機能と、ブリッジ回路をバランスさせるための補償回路としての機能とを、同じ出力回路で兼用できる。

二番目に述べた本発明の出力制御装置を上記とは別の様に発展させた本発明の出力制御装置は、

第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝、第八の枝及び第九の枝から構成された出力用回路網であって、

前記第一から第九までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五及び前記第七の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六及び前記第八の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、

前記第九の枝の第一の端子が前記第一の節点へ、前記第九の枝の第二の端子が前記第二の節点へそれぞれ接続され、

前記第九の枝が負荷を含み、

前記第一の枝が前記負荷を駆動するための第一の出

力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第二及び前記第四の枝のそれぞれがスイッチ回路を含み、

前記第五の枝が、前記第一の出力回路と連動し、前記第一の出力回路と実質的に同一の入力電圧が印加された場合、前記第一の出力回路から出力される第一の出力電流に対して実質的に所定の第一の比率だけ小さく調整された第一の調整用電流を出力するための第一の補助回路を含み、

前記第七の枝が、前記第二の出力回路と連動し、前記第二の出力回路と実質的に同一の入力電圧が印加された場合、前記第二の出力回路から出力される第二の出力電流に対して実質的に所定の第二の比率だけ小さく調整された第二の調整用電流を出力するための第二の補助回路を含む、出力用回路網；

前記第三の節点に対する前記第一の節点の電位を第一の電位差として、及び、前記第四の節点に対する前記第二の節点の電位を第二の電位差として、それぞれ検出するための電位差検出回路；

前記第一の出力回路と前記第一の補助回路との対、及び、第二の出力回路と前記第二の補助回路との対、のそれを実質上交互に動作させて制御するための制御回路；

前記制御回路の動作と同期して実質上交互に前記スイッチ回路のいずれかを導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝、前記第七の枝及び前記第四の枝を前記第一の出力電流が流れる場合、前記第一の枝、前記第七の枝と前記第四の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジがバランスして前記第一の比率を実質的に一定に保つように、

前記第三の枝、前記第七の枝及び前記第二の枝を前記第二の出力電流が流れる場合、前記第三の枝、前記第七の枝と前記第二の枝との合成、前記第七の枝及び前記第八の枝から構成されるブリッジがバランスして前記第二の比率を実質的に一定に保つように、

前記電位差検出回路が検出した前記第一又は前記第二の電位差をフィードバックして、前記第一から第八までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する。

この出力制御装置は、上記のものと同様、二つの出力回路及びスイッチ回路を実質上交互に切り替えて導通させ又は遮断させることにより、負荷を流れる出力電流を反転できる。出力用回路網の導通している枝だけをつなげると、二番目の本発明の出力制御装置のブリッジ回

路構造と実質上同一になつてゐるので、その作用も二番目のものと同様である。

この出力制御装置は上記のものと異なり、二つの出力回路に一対一に対応して二つの補助回路を有する。これにより、回路規模は上記のものより大きくなる。その反面、調整用電流と出力電流との比率を所定の値に精度良く設定する場合、上記のものでは補助回路が共通であるので二つの出力回路の構造的相違を極力抑える必要があるのに対し、この出力制御装置ではその必要がない。

更に、本発明の出力制御装置を集積回路としてモノリシックに構成する場合、上記のものでは二つの出力回路がチップ上においてある程度離れざるを得ない。それ故、チップ上の場所に依存する温度又はウエハの構造の不均一性が二つの出力回路の動作の相違として現れやすく、その結果出力制御の精度を低くしやすい。それに対して、この出力制御装置では互いに対応している出力回路と補助回路とをすぐ隣り合わせで構成できるので、その対にしては上記の温度又はウエハの構造の不均一性が実質上無視できる。

上記の出力制御装置が、一つの観点から好ましい様として、前記第六の枝では前記第一の調整用電流を、前記第八の枝では前記第二の調整用電流をそれぞれ実質上一定に保ち又は準静的に変化させるための電流設定回路を有する。電流比補償回路により出力電流と調整用電流との比率は一定に保たれるので、電流設定回路により

調整用電流を一定にすれば、それにより出力電流も一定になる。又は、電流設定回路により調整用電流を準静的に変化させれば、それにより出力電流も同様に準静的に変化する。

上記の出力制御装置では、更に別の観点から好ましくは、前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる。これにより、負荷を流れる電流を反転させるためのスイッチ回路を、ブリッジ回路をバランスさせるための補償回路として兼用できる。

上記の出力制御装置の更に他の観点から好ましい様として、前記電流比補償回路による前記等価インピーダンスの制御が前記第一又は前記第二の出力回路に対して行われても良い。これにより、負荷に対する駆動回路としての本来の機能と、上記のように過電流に対する保護回路としての機能と、ブリッジ回路をバランスさせるための補償回路としての機能とを、同じ出力回路で兼用できる。

二番目に述べた本発明の出力制御装置を上記のものとは更に別の観点から発展させたものとして、本発明の出力制御装置は、

第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝及び第八の枝から構成された出力用回路網であつて、

前記第一から第八までの枝のそれぞれは第一の端子

と第二の端子とを含み、

前記第一、前記第三、前記第五及び前記第七の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六及び前記第八の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、

前記第一から第三までの節点へ、Y結線又は△結線された三つの負荷の三つの端子のそれぞれが接続され、

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第五の枝が前記負荷を駆動するための第三の出力回路を含み、

前記第二、前記第四及び前記第六の枝のそれぞれがスイッチ回路を含み、

前記第七の枝が、前記第一から第三までの出力回路

のいずれかと連動して、その連動する出力回路と実質的に同一の入力電圧が印加された場合、その連動する出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、出力用回路網；

前記第四の節点に対する前記第一の節点、前記第二の節点又は前記第三の節点の電位を検出するための電位差検出回路；

前記第一から第三までの出力回路のそれぞれを所定の順に前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路のいずれか一つ又は二つを所定の順序及び組合せで導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝と、前記負荷と、前記第四又は前記第六の枝のいずれか又はその両方とを前記第一の出力回路からの出力電流が流れる場合、前記第一の枝、前記負荷と前記第四又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

前記第三の枝と、前記負荷と、前記第二又は前記第六の枝のいずれか又はその両方とを前記第二の出力回路からの出力電流が流れる場合、前記第三の枝、前記負荷と前記第二又は前記第六の枝のいずれか又はその両方と

の合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

前記第五の枝と、前記負荷と、前記第二又は前記第四の枝のいずれか又はその両方とを前記第三の出力回路からの出力電流が流れる場合、前記第五の枝、前記負荷と前記第二又は前記第四の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

それぞれバランスして前記比率を実質的に一定に保つように、

前記電位差検出回路が検出した前記電位差をファイードバックして、前記第一から第八までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する。

この出力制御装置は、それぞれの出力回路及びスイッチ回路を所定の順序及び組合せで切り替えて導通させ又は遮断させることにより、それぞれの負荷を流れる出力電流を転流できる。この出力制御装置は例えば、三相の同期モータ又は誘導モータのステータ巻線に対する駆動回路として用いられる。出力用回路網の導通している枝だけをつなげると上記の出力制御装置のブリッジ回路の構造と実質上同一になっているので、その作用も上記のものと同様である。

この出力制御装置の一つの観点から好ましい態様と

して、前記第八の枝が前記調整用電流を実質上一定に保ち又は準静的に変化させるための電流設定回路を含む。電流比補償回路により出力電流と調整用電流との比率は一定に保たれるので、電流設定回路により調整用電流を一定にすれば、それにより出力電流も一定になる。又は、電流設定回路により調整用電流を準静的に変化させれば、それにより出力電流も同様に準静的に変化する。

上記の出力制御装置では、更に別の観点から好ましくは、前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる。これにより、負荷を流れる電流を転流させるためのスイッチ回路を、ブリッジ回路をバランスさせるための補償回路として兼用できる。

上記の出力制御装置の更に他の観点から好ましい態様として、前記電流比補償回路による前記等価インピーダンスの制御が前記第一から第三までの出力回路のいずれかに対して行われても良い。これにより、負荷に対する駆動回路としての本来の機能と、上記のように過電流に対する保護回路としての機能と、ブリッジ回路をバランスさせるための補償回路としての機能とを、同じ出力回路で兼用できる。

二番目に述べた本発明の出力制御装置を上記のものとは更に別の態様に発展させた本発明の出力制御装置は、

第一の枝、第二の枝、第三の枝、第四の枝、第五の

枝、第六の枝、第七の枝、第八の枝、第九の枝、第十の枝、第十一の枝及び第十二の枝から構成された出力用回路網であって、

前記第一から第十二までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五、前記第七、前記第九及び前記第十一の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六、前記第八、前記第十及び前記第十二の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、前記第九の枝の第二の端子と前記第十の枝の第一の端子とが第五の節点で互いに接続され、前記第十一の枝の第二の端子と前記第十二の枝の第一の端子とが第六の節点で互いに接続され、

前記第一から第三までの節点へ、Y結線又は△結線された三つの負荷の三つの端子のそれぞれが接続され、

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第五の枝が前記負荷を駆動するための第三の出力回路を含み、

前記第二、前記第四及び前記第六の枝のそれぞれがスイッチ回路を含み、

前記第七の枝が、前記第一の出力回路と連動して、前記第一の出力回路と実質的に同一の入力電圧が印加された場合、前記第一の出力回路から出力される第一の出力電流に対して実質的に所定の第一の比率だけ小さく調整された第一の調整用電流を出力するための第一の補助回路を含み、

前記第九の枝が、前記第二の出力回路と連動して、前記第二の出力回路と実質的に同一の入力電圧が印加された場合、前記第二の出力回路から出力される第二の出力電流に対して実質的に所定の第二の比率だけ小さく調整された第二の調整用電流を出力するための第二の補助回路を含み、

前記第十一の枝が、前記第三の出力回路と連動して、前記第三の出力回路と実質的に同一の入力電圧が印加された場合、前記第三の出力回路から出力される第三の出力電流に対して実質的に所定の第三の比率だけ小さく調整された第三の調整用電流を出力するための第三の補助回路を含む、出力用回路網；

前記第四の節点に対する前記第一の節点の電位を第

一の電位差として、前記第五の節点に対する前記第二の節点の電位を第二の電位差として、及び、前記第六の節点に対する前記第三の節点の電位を第三の電位差として、それぞれ検出するための電位差検出回路；

前記第一の出力回路と前記第一の補助回路との対、前記第二の出力回路と前記第二の補助回路との対、前記第三の出力回路と前記第三の補助回路との対、のそれぞれを所定の順に動作させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路のいずれか一つ又は二つを所定の順序及び組合せで導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝と、前記負荷と、前記第四又は前記第六の枝のいずれか又はその両方とを前記第一の出力電流が流れる場合、前記電位差検出回路が検出した前記第一の電位差をフィードバックして、前記第一の枝、前記負荷と前記第四又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジがバランスして前記第一の比率を、

前記第三の枝と、前記負荷と、前記第二又は前記第六の枝のいずれか又はその両方とを前記第二の出力電流が流れる場合、前記電位差検出回路が検出した前記第二の電位差をフィードバックして、前記第三の枝、前記負荷と前記第二又は前記第六の枝のいずれか又はその両方との合成、前記第九の枝及び前記第十の枝から構成され

るブリッジがバランスして前記第二の比率を、

前記第五の枝と、前記負荷と、前記第二又は前記第四の枝のいずれか又はその両方とを前記第三の出力電流が流れる場合、前記電位差検出回路が検出した前記第三の電位差をフィードバックして、前記第五の枝、前記負荷と前記第二又は前記第四の枝のいずれか又はその両方との合成、前記第十一の枝及び前記第十二の枝から構成されるブリッジがバランスして前記第三の比率を、

それぞれ実質的に一定に保つように、前記第一から第十二までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する。

この出力制御装置は上記のものと同様、それぞれの出力回路及びスイッチ回路を所定の順序及び組合せで切り替えて導通させ又は遮断させることにより、それぞれの負荷を流れる出力電流を転流できる。それ故、例えば、三相の同期モータ又は誘導モータのステータ巻線に対する駆動回路として用いられる。出力用回路網の導通している枝だけをつなげると二番目に述べた本発明の出力制御装置のブリッジ回路の構造と実質上同一になっているので、その作用も二番目に述べたものと同様である。

この出力制御装置は上記のものと異なり、複数の出力回路に一対一に対応して補助回路を複数有する。これ

により、回路規模は上記のものより大きくなる。その反面、調整用電流と出力電流との比率を所定の値に精度良く設定する場合、上記のものでは補助回路が共通であるので複数の出力回路の構造的相違を極力抑える必要があるのに対し、この出力制御装置ではその必要がない。

更に、本発明の出力制御装置を集積回路としてモノリシックに構成する場合、上記のものでは出力回路がチップ上においてある程度互いに離れざるを得ない。それ故、チップ上の場所に依存する温度又はウエハの構造の不均一性が複数の出力回路の動作の相違として現れやすく、その結果出力制御の精度を低くしやすい。それに対して、この出力制御装置では互いに対応している出力回路と補助回路とをすぐ隣り合わせで構成できるので、その対に対しては上記の温度又はウエハの構造の不均一性が実質上無視できる。

この出力制御装置が、一つの観点から好ましい態様として、前記第八の枝では前記第一の調整用電流を、前記第十の枝では前記第二の調整用電流を、前記第十二の枝では前記第三の調整用電流を、それぞれ実質的に一定に保ち又は準静的に変化させるための電流設定回路を有する。電流比補償回路により出力電流と調整用電流との比率は一定に保たれるので、電流設定回路により調整用電流を一定にすれば、それにより出力電流も一定になる。又は、電流設定回路により調整用電流を準静的に変化させれば、それにより出力電流も同様に準静的に変化

する。

上記の出力制御装置では、更に別の観点から好ましくは、前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる。これにより、負荷を流れる電流を転流させるためのスイッチ回路を、ブリッジ回路をバランスさせるための補償回路として兼用できる。

上記の出力制御装置の更に他の観点から好ましい様として、前記電流比補償回路による前記等価インピーダンスの制御が前記第一から第三までの出力回路のいずれかに対して行われても良い。これにより、負荷に対する駆動回路としての本来の機能と、上記のように過電流に対する保護回路としての機能と、ブリッジ回路をバランスさせるための補償回路としての機能とを、同じ出力回路で兼用できる。

以上述べた本発明の出力制御装置は、動作時の所定の期間に導通して二番目に述べた本発明の出力制御装置のブリッジ回路と実質上同一となるような回路部分が、出力用回路網の中に二つ又は三つ含まれて構成される。同様な回路部分を更に四つ以上含み、例えば四相以上の駆動回路となり得るように、本発明の出力制御装置を拡張していくことは、本発明の関連する分野に属する通常の技術者（以下、当業者という）であれば容易であろう。

更に上記のものとは別の観点による本発明の出力制

御装置は、それぞれが先に述べた、負荷を流れる電流を反転できる本発明の出力制御装置である少なくとも二つの出力制御部、並びに、前記出力制御部のそれぞれにおける前記調整用電流を制御して、それぞれの前記負荷を流れる電流を制御するためのマイクロステップ制御回路、を有する。

この出力制御回路は、それぞれの出力制御部が含むそれぞれの負荷に流れる電流を互いに独立して制御できる。この出力制御回路は、例えば、ステッピングモータ等の駆動回路として用いられる。それぞれの出力制御部は上記の負荷の電流を反転できるものと同じ構造であるので、その作用もそれらと同様である。

この出力制御部のそれぞれが、上記の出力制御装置と同様に、前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を有しても良い。この電流設定回路は、補助回路からの調整用電流が通る枝に含まれる。更に、前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われても、又は、前記出力回路に対して行われても良い。以上の構成及び作用により、上記の出力制御装置と同様に高精度の出力制御が行い得る。

以上述べた本発明の出力制御装置が、一つの観点から好ましくは、前記出力回路の周辺に存在する主抵抗、及び、前記出力回路と連動する前記補助回路の周辺に存在する補助抵抗が、前記出力回路からの前記出力電流と

前記補助回路からの前記調整用電流との実質的な比例関係を満たすように配慮されている。主抵抗は、好ましくは出力回路と直列に接続され、その出力回路の寄生抵抗及び構造上除くことのできない抵抗を含む。補助抵抗は、好ましくは補助回路と直列に接続される。例えば、上記のように、本発明の出力制御装置が第一から第四までの四つの枝から成るブリッジ回路を有する場合、第一の枝では、主抵抗が第一の枝の第一及び第二の端子の間に出力回路と直列に接続される。そして、第三の枝では、補助抵抗が第三の枝の第一及び第二の端子の間に補助回路と直列に接続される。ここでいう「配慮」とは具体的には、前記補助抵抗が、前記主抵抗の抵抗値に対して実質的に前記比例関係の比例係数の逆数倍の抵抗値を持つことをいう。

例えば、出力回路を半導体素子として構成する場合、その構造上除くことのできない抵抗が必ず出力回路の周辺に存在する。そこで、上記のような抵抗値を持つ補助抵抗を補助回路の周辺に配置する。そうすると、主抵抗が出力電流と調整用電流との比率へ与える誤差を抑えることができる。それ故、出力制御の精度が主抵抗の存在によっては低下しない。

発明の新規な特徴は添付の請求の範囲に特に記載したものに他ならないが、構成及び内容の双方に関して本発明は、他の目的や特徴と合わせて図面と共に以下の詳細な説明を読むことにより、より良く理解され評価され

るであろう。

図面の簡単な説明

図1は、本発明の第1実施例による出力制御装置の回路図である。

図2は、本発明の第2実施例による出力制御装置の回路図である。

図3Aは、本発明の第3実施例による出力制御装置の回路図である。

図3Bは、電流源12を構成する回路を表す図である。

図4は、本発明の第4実施例による出力制御装置の回路図である。

図5Aは、本発明の第5実施例による出力制御装置の回路図である。

図5Bは、本発明の第6実施例による出力制御装置の回路図である。

図6は、本発明の第7実施例における出力トランジスタ1と補助トランジスタ2との近傍だけを図示した部分回路図である。

図7Aは、本発明の第8実施例による出力制御装置の回路図である。

図7Bは、本発明の第9実施例による出力制御装置

の回路図である。

図8Aは、本発明の第10実施例による出力制御装置の回路図である。

図8Bは、本発明の第11実施例による出力制御装置の回路図である。

図8Cは、本発明の第12実施例による出力制御装置の回路図である。

図8Dは、本発明の第13実施例による出力制御装置の回路図である。

図9Aは、本発明の第14実施例による出力制御装置の回路図である。

図9Bは、本発明の第15実施例による出力制御装置の回路図である。

図10Aは、本発明の第16実施例による出力制御装置の回路図である。

図10Bは、本発明の第17実施例による出力制御装置の回路図である。

図10Cは、本発明の第18実施例による出力制御装置の回路図である。

図10Dは、本発明の第19実施例による出力制御装置の回路図である。

図11は、本発明の第20実施例による出力制御装置の回路図である。

図12Aは、本発明の第21実施例による出力制御装置の回路図である。

図12Bは、本発明の第22実施例による出力制御装置の回路図である。

図13は、最初の従来例による遮断回路の回路図である。

図14は、二番目の従来例による遮断回路の回路図である。

図15は、三番目の従来例による遮断回路の回路図である。

図16Aは、二番目の従来例において、出力トランジスタ1のゲート電圧に対する出力電流I1及び調整用電流I2の変化を表すグラフを示す図である。

図16Bは、三番目の従来例において、出力トランジスタ1のゲート電圧に対する出力電流I1及び調整用電流I2の変化を表すグラフを示す図である。

図面の一部又は全部は、図示を目的とした概要的表現により描かれており、必ずしもそこに示された要素の実際の相対的大きさや位置を忠実に描写しているとは限らないことは考慮願いたい。

発明を実施するための最良の形態

本発明の最良の実施形態について、好ましい実施例を以下に幾つか示し、図を参照しながら説明する。

《第1実施例》

図1は、本発明の第1実施例である出力制御装置の回路図である。

電極9は実質的に定電位である直流電源10に接続されている。

出力トランジスタ1は好ましくはnチャネル金属酸化膜電界効果トランジスタ(MOSFET)であり、ドレインを電極9へ、ソースを負荷3へそれぞれ接続されている。

負荷3は出力トランジスタ1とは逆側の端子で接地されている。

補助トランジスタ2は好ましくはnチャネルMOSFETであり、ドレインを電極9へ、ソースを補償トランジスタ5のソースへそれぞれ接続されている。出力トランジスタ1のソース電流I1と補助トランジスタ2のソース電流I2との比率 $I1/I2$ は、ドレイン、ソース、ゲートの三端子の電位を両トランジスタで共通にした場合、三端子の電位に依らず実質上一定(以下、 $I1/I2 = n$ とする)になるように設計されている。これは例えば、第1実施例を集積回路としてモノリシックに製造する場合、出力トランジスタ1と補助トランジスタ2とが同じnチャネルMOSFETなので、それぞれのサイズの比率をn:1にすれば実現可能である。

補償トランジスタ5は好ましくはpチャネルMOSFETであり、ドレインを電流検出用抵抗6へ接続されている。

電流検出用抵抗6は、補償トランジスタ5へ接続された端子とは逆側の端子で接地されている。

第一の差動アンプ4は、補助トランジスタ2と補償トランジスタ5との接続点すなわち節点Qに対する出力トランジスタ1と負荷3との接続点すなわち節点Pの電位を検出し、その電位差に比例した電圧を補償トランジスタ5のゲートへ出力する。

第二の差動アンプ8は補償トランジスタ5と電流検出用抵抗6との接続点すなわち節点Rの電位を基準電圧7と比較し、その電位差に比例する電圧を制御回路11へ出力する。

制御回路11は第二の差動アンプ8の出力電圧に基づいて、出力トランジスタ1及び補助トランジスタ2のゲートへ共通の制御信号を出力し、それらのドレイン・ソース間電圧を実質上同時にかつ同様に変化させる。以下、このような出力トランジスタ1及び補助トランジスタ2の動作を「運動」という。

以上の構成により、第1実施例は以下のようにして、負荷3への出力電流I1を制御する。

まず、第一の差動アンプ4と補償トランジスタ5により、節点Qに対する節点Pの電位が正の向きに増大すると節点Qの電位が上昇し、逆に負の向きに増大すると節点Qの電位が下降する。こうして、出力トランジスタ1のソース電位（節点Pの電位）と補助トランジスタ2のソース電位（節点Qの電位）とが実質的に等しくな

る。つまり、出力トランジスタ1、負荷3、補助トランジスタ2、補償トランジスタ5及び電流検出用抵抗6は一つのブリッジを構成するとみなせる。そのようにみなした時、補償トランジスタ5が、第一の差動アンプ4がフィードバックする節点P及び節点Q間の電位差に基づいてドレイン・ソース間の等価インピーダンスを変化させて、節点P及び節点Q間の電位差を0に調節し、ブリッジをバランスさせる。

出力トランジスタ1と補助トランジスタ2とのドレン電位及びゲート電位は、図1に示されている構成から明らかのようにそれぞれ実質的に等しい。それ故、上記のようにブリッジがバランスした状態では両トランジスタの三端子の電位がそれぞれ実質的に等しい。この場合、両トランジスタのソース電流の比率 I_1/I_2 が一定値nに保たれる。従って、ブリッジのバランスを保ったまま補助トランジスタ2のソース電流、すなわち、調整用電流 I_2 を所定の目標値に一致するように制御すれば、出力トランジスタ1のソース電流、すなわち、出力電流 I_1 がその目標値のn倍に一致するように制御され得る。

調整用電流 I_2 の制御は次のように行う。第二の差動アンプ8が節点Rの電位、すなわち、調整用電流 I_2 によって電流検出用抵抗6の両端に生じる電圧降下の量を基準電圧7と比較する。基準電圧7の値は、制御目標値 I_t に等しい調整用電流 I_2 による電流検出用抵抗6の両端の電圧降下量に等しい。第二の差動アンプ8の比較結果は符

号を含めて制御回路11に出力される。制御回路11はその比較結果に基づいて、調整用電流I2が制御目標値Itより小さければ補助トランジスタ2のゲート電位を高くし、逆に調整用電流I2が制御目標値Itより大きければゲート電位を低くする。この時、出力トランジスタ1のゲート電位も全く同じように変化する。こうして、調整用電流I2が制御目標値Itに一致すると同時に、出力電流I1が制御目標値Itのn倍に一致するようになる。

以上述べたような出力電流I1の制御では、電流検出用抵抗6が出力トランジスタ1と負荷3とを含む主枝に含まれない。従って、出力電圧の範囲（ダイナミックレンジ）が最初の従来例に比べて広い。更に、二番目の従来例とは異なり、出力トランジスタ1と補助トランジスタ2とが互いの三端子の電位を共通に保つよう制御されている。それ故、互いのソース電流の比率I1/I2が温度及び三端子の電位に実質上依存せず一定である。従って、二番目の従来例に比べて、温度の変動及び三端子の電位の変化が出力制御の精度を低下させない。

上記の説明では、制御回路11が第二の差動アンプ8の出力に基づいて出力電流I1を制御した。しかし、それに限らず、制御回路11が出力電流I1の制御には他の既に知られている手段を用い、その一方で、第二の差動アンプ8の出力を、過電流から回路素子を保護する目的で出力トランジスタ1と補助トランジスタ2とを遮断するための条件判断に用いても良い。この場合、基準電圧7

は、出力電流 I_1 に対する許容最大値の $1/n$ に調整用電流 I_2 が等しい場合の節点 R の電位に設定される。

第 1 実施例において、制御回路 11 は入力電圧に基づいて所定の電圧を出力できるような回路であれば良い。このような回路は当業者であれば容易に設計できるであろう。

《第 2 実施例》

図 2 は、本発明の第 2 実施例の回路図である。図 2 において図 1 のものと同様の構成要素には図 1 と同一の符号を付し、その説明は第 1 実施例のものを援用する。第 2 実施例は第 1 実施例において、出力トランジスタ 1 と補助トランジスタ 2 とをドレインとソースとを入れ替えて接続し、基準電圧 7 及び第二の差動アンプ 8 の極性を逆転させたものに相当する。第 2 実施例は図 2 に示されているように、第 1 実施例の接地側に相当する第一電極 9a に直流電源 10 の高電位側を接続し、第二電極 9 を接地している。当業者であれば容易に理解できるように、第 2 実施例は、負荷 3 を流れる出力電流 I_1 が反転している点を除き、本質的に第 1 実施例と等価である。

《第 3 実施例》

図 3A は、本発明の第 3 実施例の回路図である。図 3A において図 1 のものと同様の構成要素には図 1 と同一の符号を付し、その説明は第 1 実施例のものを援用する。

第 3 実施例は第 1 実施例の電流検出用抵抗 6(図 1)に換えて、電流源 12 を有する。図 3B は電流源 12 を構成す

る回路を表す図である。電流源 12は図 3Bに示されているように複数の素子から成る回路を略記したものであり、トランジスタ 12a、抵抗 12b、差動アンプ 12c、基準電圧 12dを含む。

トランジスタ 12aはnチャネルMOSFETであって、ドレインから調整用電流I2を入力する。抵抗 12bはトランジスタ 12aのソースと接地端子との間に接続されている。差動アンプ 12cはトランジスタ 12aのソース電流によって抵抗 12bの両端に生じる電圧降下の量を基準電圧 12dと比較し、実質的にそれ未満であるようにソース電流を制御する。基準電圧 12dは、ソース電流が制御目標値Itに等しい時、抵抗 12bの両端に生じる電圧降下の量に相当するように設定される。こうして、電流源 12は調整用電流I2を実質上制御目標値Itに保つ。

図 3Aにおいて、制御回路 13は、差動アンプ 4又は外部 14からの入力に従ってオンし又はオフすることにより、制御用電源 15の電圧を出力トランジスタ 1及び補助トランジスタ 2のゲートへ伝え又は遮断するためのスイッチ回路である。制御用電源 15の電圧は抵抗 16a及び抵抗 16bによって分圧されて、出力トランジスタ 1と補助トランジスタ 2とをオンさせるのに十分なゲート電圧となる。

ダイオード 17はアノードで接地され、カソードを節点Pに接続されている。

以上の構成により、第3実施例は以下のように動作

する。出力トランジスタ1はゲート電位が一定の場合、節点Pの電位が低いほど大きい出力電流I1を出力する。差動アンプ4の出力が所定の閾値以上である場合、すなわち、節点Qに対する節点Pの電位が所定の許容下限値（好ましくは負の値）より高い場合、制御回路13は外部14からの入力に従って出力トランジスタ1及び補助トランジスタ2をオンし又はオフする。この時、電流源12により調整用電流I2が制御目標値Itに保たれ、かつ、節点Qに対する節点Pの電位が上記の許容下限値より高いので、出力電流I1は実質上、節点Pと節点Qとの電位差が0の時の値n×It以下である。

一方、差動アンプ4の出力が上記の閾値未満である場合、すなわち、節点Qに対する節点Pの電位が上記の許容下限値に達しない場合、制御回路13は外部14からの入力に関わらずオフする。それにより、それぞれのゲート電位が下がるので、出力トランジスタ1及び補助トランジスタ2が遮断される。従って、節点Pと節点Qとの電位差に対する許容下限値を出力電流I1の許容上限値に対応するように設定しておけば、過電流から回路素子を保護できる。

更に、負荷3が誘導性リアクタンスを有する場合は、以下のようにして負荷3を流れる負荷電流ILを制御目標値n×Itから実質上所定の制御範囲△I1を超えて大きくならないように制御できる。

まず、節点Pと節点Qとの電位差に対する許容下限

値を、出力電流 I_1 が制御目標値 $n \times I_t$ より ΔI_1 だけ大きい値である場合に対応するように、わずかに負の値に設定する。

出力電流 I_1 が制御目標値 $n \times I_t$ から ΔI_1 を超えて大きくなると、節点 P と節点 Q との電位差が許容下限値より降下するので制御回路 13 がオフし、出力トランジスタ 1 と補助トランジスタ 2 とをオフさせる。すると、出力電流 I_1 は急激に 0 まで減少するが、負荷電流 I_L はダイオード 17 を通って流れ続けながら、負荷 3 のインダクタンスによりゆっくりと減少する。そこで、負荷電流 I_L があまり小さくならないうちに、外部 14 からの入力により制御回路 13 をオンさせて、それにより出力トランジスタ 1 と補助トランジスタ 2 とをオンさせる。ここで、制御回路 13 を外部 14 からの入力によりオンさせる他に、制御回路 13 自体がオフした後所定の時間でオンするように設定されていても良い。負荷 3 へ再び直流電源 10 からの電圧が印加されて節点 P の電位が高くなると、出力電流 I_1 、すなわち、負荷電流 I_L が負荷 3 のインダクタンスによりゆっくりと増大し、それに伴って節点 P の電位が再び下降していく。

以上の動作が繰り返される結果、負荷電流 I_L は制御目標値 $n \times I_t$ から実質上 ΔI_1 を超えて大きくならない。更に、外部 14 からの入力により制御回路 13 をオンさせるタイミングを調節することにより、負荷電流 I_L の時間平均値が制御目標値 $n \times I_t$ に一致するようにでき

る。

以上の説明では、補助トランジスタ2がオンしている間、電流源12が調整用電流I2を一定に保っている。しかし、そのように一定に保たれる時間は、上記のように出力トランジスタ1がオンオフするスイッチング周期より長くても良い。つまり、電流源12の基準電圧12dを上記のスイッチングよりゆっくりと変化させることにより、調整用電流I2の制御目標値Itをゆっくりと変化させ、それにより出力電流I1の制御目標値n×Itを同様に変化させることもできる。本明細書では、このように出力トランジスタ1のスイッチングよりゆっくりとした変化のことを、「準静的な変化」という。

第3実施例によれば、第1実施例同様、電流検出用抵抗を出力トランジスタ1及び負荷3を含む主枝に挿入する必要がないので、挿入した場合より出力電圧の範囲(ダイナミックレンジ)を広くすることができる。

更に、節点Pと節点Qとの電位差を所定の許容レベル以上相違させないようにできるので、温度変動や出力トランジスタ1の三端子の電位によって生じる出力電流I1、すなわち、負荷電流ILの制御目標値からの誤差を従来より小さく抑えることができる。

尚、出力トランジスタ1と補助トランジスタ2とがオフした時、負荷3に蓄えられたエネルギーをダイオード17を通して外部へ出力するようにしても良い。この場合、第3実施例は外部に対する電源装置として機能す

る。この電源装置としての機能は、第1実施例又は第2実施例の構造にダイオード17に相当するダイオードを付加しても実現可能である。

《第4実施例》

図4は、本発明の第4実施例の回路図である。図4において図3Aのものと同様の構成要素には図3と同一の符号を付し、その説明は第3実施例のものを援用する。第4実施例は第3実施例において、出力トランジスタ1と補助トランジスタ2とをドレインとソースとを入れ替えて接続し、差動アンプ4及びダイオード17の極性を逆転させたものに相当する。第4実施例は図4に示されているように、第3実施例の接地側に相当する第一電極9aに直流電源10の高電位側を接続し、第二電極9を接地している。当業者であれば容易に理解できるように、第4実施例は、負荷3を流れる出力電流ILが反転している点を除き、本質的に第3実施例と等価である。

《第5実施例》

図5Aは、本発明の第5実施例の回路図である。図5Aにおいて図3Aのものと同様の構成要素には図3と同一の符号を付し、その説明は第3実施例のものを援用する。

電流源12vは、図3Bに示されている電流源12と同様の回路であり、基準電圧12dに相当する基準電圧を外部からの入力により所定の値に設定できるようにしたものである。従って、電流源12vは調整用電流I2を制御目標

値 I_t に保ち、制御目標値 I_t は外部からの入力によって設定される。

図 5Aにおいて、スイッチングトランジスタ 18 は n チャネル MOSFET であって、ドレインを負荷 3 へ接続し、ソースを接地している。

ダイオード 19 はアノードを負荷 3 とスイッチングトランジスタ 18 のドレインとの間に接続され、カソードを電極 9 へ接続されている。

制御回路 20 は、外部 14 からの入力に従って、出力トランジスタ 1 と補助トランジスタ 2 とのゲート電位を制御して、それにより出力電流 I_1 及び調整用電流 I_2 を制御する。更に、電流源 12v を制御して調整用電流 I_2 の制御目標値 I_t を変化させる。

スイッチ制御回路 21 は、差動アンプ 4 からの入力に従ってスイッチングトランジスタ 18 のゲート電位を制御し、それにより出力電流 I_1 を制御する。具体的には、節点 Q に対する節点 P の電位が正の向きに増大した場合、スイッチ制御回路 21 はスイッチングトランジスタ 18 のゲート電位を上昇させて出力電流 I_1 を増大させる。一方、節点 Q に対する節点 P の電位が負の向きに増大した場合、スイッチ制御回路 21 はスイッチングトランジスタ 18 のゲート電位を下降させて出力電流 I_1 を減少させる。

以上の構成により、第 5 実施例は以下のように動作する。

まず、差動アンプ4、スイッチ制御回路21及びスイッチングトランジスタ18により、節点Qに対する節点Pの電位が正の向きに増大すると出力電流I1が増大し、それに伴って節点Pの電位が下降する。逆に、節点Qに対する節点Pの電位が負の向きに増大すると出力電流I1が減少し、それに伴って節点Pの電位が上昇する。こうして、出力トランジスタ1のソース電位（節点Pの電位）と補助トランジスタ2のソース電位（節点Qの電位）とが実質的に等しくなる。つまり、出力トランジスタ1、負荷3及びスイッチングトランジスタ18、補助トランジスタ2、電流源12vをブリッジとみなすと、スイッチングトランジスタ18が、差動アンプ4がフィードバックする節点P及び節点Q間の電位差に基づいてドレイン・ソース間の等価インピーダンスを変化させて、節点P及び節点Q間の電位差を0に調節し、すなわち、ブリッジをバランスさせる。

出力トランジスタ1と補助トランジスタ2とのドレイン電位及びゲート電位は、図5Aに示されている構成から明らかのようにそれぞれ実質的に等しい。それ故、上記のようにブリッジがバランスした状態では両トランジスタの三端子の電位がそれぞれ実質的に等しい。この場合、出力電流I1と調整用電流I2との比率 $I1/I2$ が一定値nに保たれる。

ブリッジがバランスを保った状態で、電流源12vが調整用電流I2を制御目標値Itに一致させるように制御す

るので、出力電流 I_1 がその制御目標値 I_t の n 倍に一致するよう制御される。こうして、出力電流 I_1 と調整用電流 I_2 との比率 I_1/I_2 が一定値 n に従来より精度良く保たれる。その結果、制御回路 20 は、電流源 12v の制御目標値 I_t を変化させて出力電流 I_1 を所定の値へ変化させる場合、又は、出力トランジスタ 1 と補助トランジスタ 2 を連動してオンオフさせてパルス幅変調（P W M）された出力電流 I_1 を出力する場合、出力電流 I_1 を従来より精度良く制御できる。

差動アンプ 4、スイッチ制御回路 21 及びスイッチングトランジスタ 18 は、以下のように、過電流から回路素子を保護するための保護回路としての機能を持たせることもできる。差動アンプ 4 の出力が所定の閾値以上である場合、すなわち、節点 Q に対する節点 P の電位が所定の許容下限値（好ましくは絶対値が十分大きい負の値）より高い場合、スイッチ制御回路 21 は上記のようにスイッチングトランジスタ 18 を制御する。一方、差動アンプ 4 の出力が上記の閾値未満である場合、すなわち、節点 Q に対する節点 P の電位が上記の許容下限値に達しない場合、スイッチ制御回路 21 はスイッチングトランジスタ 18 を完全にオフする。それにより、出力電流 I_1 が遮断される。従って、節点 P と節点 Q との電位差に対する許容下限値を出力電流 I_1 の許容上限値に対応するように設定しておけば、過電流から回路素子を保護できる。

スイッチ制御回路21は上記のようにスイッチングトランジスタ18をアナログ制御する。しかしその他に、負荷3が誘導性リアクタンスを有する場合、スイッチ制御回路21は、以下のようにスイッチングトランジスタ18をスイッチング制御することにより、ブリッジを実質的にバランスさせることができる。

まず、節点Pと節点Qとの電位差に対する許容下限値を、出力電流I1が制御目標値 $n \times I_t$ より ΔI_1 だけ大きい値である場合に対応するように、わずかに負の値に設定する。

出力電流I1が制御目標値 $n \times I_t$ から ΔI_1 を超えて大きくなると、節点Pと節点Qとの電位差が許容下限値より低下するので、スイッチ制御回路21がスイッチングトランジスタ18をオフさせる。すると、出力電流I1はダイオード19を通って流れ続けながら、負荷3のインダクタンスによりゆっくりと減少する。そこで、出力電流I1があまり小さくならないうちに、スイッチ制御回路21はスイッチングトランジスタ18を再びオンさせる。ここで、スイッチ制御回路21はオフしたスイッチングトランジスタ18が所定の時間でオンするよう設定されている。負荷3へ再び直流電源10からの電圧が印加されて節点Pの電位が高くなると、出力電流I1が負荷3のインダクタンスによりゆっくりと増大し、それに伴って節点Pの電位が再び下降していく。

以上の動作が繰り返される結果、出力電流I1は制御

目標値 $n \times I_t$ から実質上 ΔI_1 を超えて大きくならない。更に、スイッチングトランジスタ 18 がオフしている時間を調節することにより、出力電流 I_1 の時間平均値が制御目標値 $n \times I_t$ に一致するようになる。

以上述べたような出力電流 I_1 の制御では、電流検出用抵抗を出力トランジスタ 1 と負荷 3 とを含む主枝に挿入する必要がないので、その抵抗を挿入している最初の従来例より出力電圧の範囲（ダイナミックレンジ）を広くできる。更に、二番目の従来例とは異なり、出力トランジスタ 1 と補助トランジスタ 2 とが互いの三端子の電位を共通に保つように制御されている。それ故、出力電流 I_1 と調整用電流 I_2 との比率 I_1 / I_2 が温度及び三端子の電位に実質上依存せず一定である。従って、従来とは異なり、温度の変動及び三端子の電位の変化が出力の制御精度を低下させない。

以上の説明では、補助トランジスタ 2 がオンしている間、電流源 12 が調整用電流 I_2 を一定に保っている。しかし、そのように一定に保たれる時間は、上記のように出力トランジスタ 1 がオンオフするスイッチング周期程度の間で良い。つまり、電流源 12v の基準電圧を上記のスイッチング周期よりゆっくりと変化させることにより、調整用電流 I_2 の制御目標値 I_t をゆっくりと変化させ、それにより出力電流 I_1 の制御目標値 $n \times I_t$ を同様に変化させることもできる。

尚、出力トランジスタ 1 と補助トランジスタ 2 とが

オフした時、負荷3に蓄えられたエネルギーをダイオード19を通して外部へ出力するようにしても良い。この場合、第5実施例は外部に対する電源装置として機能する。

《第6実施例》

図5Bは、本発明の第6実施例の回路図である。図5Bにおいて図5Aのものと同様の構成要素には図5Aと同一の符号を付し、その説明は第5実施例のものを援用する。第6実施例は第5実施例において、出力トランジスタ1と補助トランジスタ2とをドレインとソースとを入れ替えて接続し、差動アンプ4及びダイオード19の極性を逆転させたものに相当する。第6実施例は図5Bに示されているように、第5実施例の接地側に相当する第一の電極9aに直流電源10の高電位側を接続し、第二の電極9を接地している。当業者であれば容易に理解できるように、第6実施例は、負荷3を流れる出力電流I1が反転している点を除き、本質的に第5実施例と等価である。

《第7実施例》

図6は、第7実施例の出力トランジスタ1と補助トランジスタ2との近傍だけを図示した部分回路図である。第7実施例は、上記の第1から第6までの実施例のいずれかと同様の回路であって、出力トランジスタ1及び補助トランジスタ2のドレイン端子と電極9との間、及び、ソース端子と節点P又は節点Qとの間に、それぞ

れ抵抗R1からR4が挿入されている。この内、抵抗R1及びR2は、実質上出力トランジスタ1の寄生抵抗を表す。

第1から第6までの実施例の回路を示す図1から図5Bまでには図示されてはいないが、厳密には出力トランジスタ1及び補助トランジスタ2のドレイン及びソースにはそれぞれ寄生抵抗が含まれている。出力トランジスタ1を流れる出力電流I1は通常かなり大きいので、上記の寄生抵抗によって生じる電圧降下が出力トランジスタ1に印加される電圧に比べて一般に無視できない。出力トランジスタ1に含まれる寄生抵抗は出力トランジスタ1の構造上必ず存在し、完全に除くことはできない。従って、上記の電圧降下が出力電流I1と調整用電流I2との比率I1/I2へ無視できない誤差を与える。

そこで、補助トランジスタ2のドレイン及びソースへ抵抗R3及びR4を図6のように接続する。ここで、補助トランジスタ2のドレインに接続される抵抗R3は出力トランジスタ1のドレインに接続される抵抗R1のn倍に、補助トランジスタ2のソースに接続される抵抗R4は出力トランジスタ1のソースに接続される抵抗R2のn倍に、それぞれ設定されている。これにより、抵抗R3及びR4を挿入しない場合より、出力電流I1と調整用電流I2との比率I1/I2を一定値nに精度良く制御できる。

以下の実施例においても、補助トランジスタへ第7実施例と同様な抵抗を付加し、出力トランジスタの寄生抵抗による出力制御の誤差を抑えることができる。

《第8実施例》

図7Aは、本発明の第8実施例の回路図である。図7Aにおいて図5Aのものと同様の構成要素には図5Aと同一の符号を付し、その説明は第5実施例のものを援用する。

第8実施例は、第5実施例における出力トランジスタ1、スイッチングトランジスタ18及び差動アンプ4に相当する素子を二対有し、それらが次のように構成されている。

第一出力トランジスタ1a及び第二出力トランジスタ1bはいずれも第5実施例の出力トランジスタ1に相当し、負荷3への出力を調節するためのものである。第一出力トランジスタ1a及び第二出力トランジスタ1bは、好ましくはnチャネル金属酸化膜電界効果トランジスタ(MOSFET)であり、ドレインを電極9へ、ソースを負荷3へそれぞれ接続されている。この時、負荷3はそれぞれ別の端子を第一出力トランジスタ1a及び第二出力トランジスタ1bへ接続されている。更に、第一フライホイールダイオード25a及び第二フライホイールダイオード25bが、第一出力トランジスタ1a及び第二出力トランジスタ1bのソースにアノードを、ドレインにカソードを、それぞれ接続されている。第一フライホイールダイオード25a及び第二フライホイールダイオード25bは、好ましくは、第一出力トランジスタ1a及び第二出力トランジスタ1bのそれぞれのボディダイオードであ

る。その他に、独立したダイオード素子であっても良い。

補助トランジスタ2のソース電流I2に対する第一出力トランジスタ1aのソース電流I1aの比率I1a/I2、及び、第二出力トランジスタ1bのソース電流I1bの比率I1b/I2は、ドレイン、ソース、ゲートの三端子の電位を両トランジスタで共通にした場合、三端子の電位に依らず実質上一定（以下、I1a/I2=I1b/I2=nとする）になるように設定されている。

第一スイッチングトランジスタ18a及び第二スイッチングトランジスタ18bはいずれも第5実施例のスイッチングトランジスタ18に相当し、好ましくはnチャネルMOSFETである。第一スイッチングトランジスタ18a及び第二スイッチングトランジスタ18bは、それぞれのドレインを第一出力トランジスタ1a及び第二出力トランジスタ1bのソースのそれぞれへ接続し、ソースを接地している。更に、第三フライホイールダイオード26a及び第四フライホイールダイオード26bが、第一スイッチングトランジスタ18a及び第二スイッチングトランジスタ18bのソースにアノードを、ドレインにカソードを、それぞれ接続されている。第三フライホイールダイオード26a及び第四フライホイールダイオード26bは、好ましくは、第一スイッチングトランジスタ18a及び第二スイッチングトランジスタ18bのそれぞれのボディダイオードである。その他に、独立したダイオード素

子であっても良い。

第一出力トランジスタ $1a$ のドレイン及びソースにそれぞれ接続された抵抗 $R1a$ 及び $R2a$ 、第二出力トランジスタ $1b$ のドレイン及びソースにそれぞれ接続された抵抗 $R1b$ 及び $R2b$ 、補助トランジスタ 2 のドレイン及びソースにそれぞれ接続された抵抗 $R3$ 及び $R4$ は、第7実施例(図6)における抵抗 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ に相当する。好ましくは、抵抗 $R3$ の抵抗値は抵抗 $R1a$ 及び $R1b$ のn倍、抵抗 $R4$ の抵抗値は抵抗 $R2a$ 及び $R2b$ のn倍にそれぞれ設定される。

第一の差動アンプ $4a$ は節点 Q に対する第一出力トランジスタ $1a$ と負荷 3 との節点 P_a の電位を、第二の差動アンプ $4b$ は節点 Q に対する第二出力トランジスタ $1b$ と負荷 3 との節点 P_b の電位をそれぞれ検出し、それぞれの電位差に比例した電圧を出力する。

制御回路 $20A$ は、外部 14 からの入力に従って、第一出力トランジスタ $1a$ 又は第二出力トランジスタ $1b$ のいずれか一方のゲート電位と、補助トランジスタ 2 のゲート電位とを一致させて制御し、それにより第一の出力電流 $I1a$ 又は第二の出力電流 $I1b$ 、及び、調整用電流 $I2$ を制御する。更に、電流源 $12v$ を制御して調整用電流 $I2$ の制御目標値 It を変化させる。

スイッチ制御回路 $21A$ は、制御回路 $20A$ の動作と同期して第一スイッチングトランジスタ $18a$ 又は第二スイッチングトランジスタ $18b$ をオンし又はオフする。具体

的には、制御回路20Aが第一出力トランジスタ1aをオンし、第二出力トランジスタ1bをオフした時は、スイッチ制御回路21Aは第一スイッチングトランジスタ18aをオフし、第二スイッチングトランジスタ18bをオンする。この時、負荷3には第一出力トランジスタ18aからの第一の出力電流I1aが流れる。

一方、制御回路20Aが第一出力トランジスタ1aをオフし、第二出力トランジスタ1bをオンした時は、スイッチ制御回路21Aは第一スイッチングトランジスタ18aをオンし、第二スイッチングトランジスタ18bをオフする。この時、負荷3には第二出力トランジスタ18bからの第二の出力電流I1bが流れる。このようにして、負荷3を流れる電流が反転する。

スイッチ制御回路21Aは上記のスイッチング動作と同期して、第一の差動アンプ4a又は第二の差動アンプ4bのいずれか一方の出力を選択して入力する。スイッチ制御回路21Aは、それらの差動アンプからの入力に従って、第一スイッチングトランジスタ18a又は第二スイッチングトランジスタ18bのそれぞれのゲート電位を制御する。それにより、第一の出力電流I1a又は第二の出力電流I1bが制御される。

具体的には、第一出力トランジスタ1aがオンした時、スイッチ制御回路21Aは第一の差動アンプ4aの出力を入力する。その入力が節点Qに対する節点Paの電位の正の向きの増大を示す場合、スイッチ制御回路21Aは第

ニスイッティングトランジスタ $18b$ のゲート電位を上昇させて第一の出力電流 $I1a$ を増大させる。一方、第一の差動アンプ $4a$ からの入力が節点 Q に対する節点 P_a の電位の負の向きの増大を示す場合、スイッチ制御回路 $21A$ は第一スイッティングトランジスタ $18a$ のゲート電位を下降させて第一の出力電流 $I1a$ を減少させる。

一方、第二出力トランジスタ $1b$ がオンした時、スイッチ制御回路 $21A$ は第二の差動アンプ $4b$ の出力を入力する。その入力が節点 Q に対する節点 P_b の電位の正の向きの増大を示す場合、スイッチ制御回路 $21A$ は第一スイッティングトランジスタ $18a$ のゲート電位を上昇させて第二の出力電流 $I1b$ を増大させる。一方、第二の差動アンプ $4b$ からの入力が節点 Q に対する節点 P_b の電位の負の向きの増大を示す場合、スイッチ制御回路 $21A$ は第二スイッティングトランジスタ $18b$ のゲート電位を下降させて第二の出力電流 $I1b$ を減少させる。

上記のように制御回路 $20A$ 及びスイッチ制御回路 $21A$ により導通した素子だけをみると、その構成は第5実施例(図5A)と全く同様である。具体的には以下のように同一視される：第一出力トランジスタ $1a$ と第二スイッティングトランジスタ $18b$ とがオンし、第二出力トランジスタ $1b$ と第一スイッティングトランジスタ $18b$ とがオフした場合、第一出力トランジスタ $1a$ が第5実施例の出力トランジスタ 1 と、第二スイッティングトランジスタ $18b$ が第5実施例のスイッティングトランジスタ 18 と、第

一の差動アンプ4aが第5実施例の差動アンプ4と、それぞれみなせる。逆に第一出力トランジスタ1aと第二スイッチングトランジスタ18bとがオフし、第二出力トランジスタ1bと第一スイッチングトランジスタ18bとがオンした場合、第二出力トランジスタ1bが第5実施例の出力トランジスタ1と、第一スイッチングトランジスタ18aが第5実施例のスイッチングトランジスタ18と、第二の差動アンプ4bが第5実施例の差動アンプ4と、それぞれみなせる。従って、それぞれの場合における出力制御の動作及びその効果については、第5実施例の説明を援用できる。

第5実施例のダイオード19と同様に、第一スイッチングトランジスタ18a又は第二スイッチングトランジスタ18bがオフした場合、第一ライホイールダイオード25a又は第二ライホイールダイオード25bがオンする。それと同時に第四ライホイールダイオード26b又は第三ライホイールダイオード26aもオンするので、電極9を通して直流電源10へ電力が回生される。この回生時に第二スイッチングトランジスタ18bのオフと同期して第二出力トランジスタ1bをオンしても良い。それにより、出力トランジスタのオン電圧はライホイールダイオードよりも一般に低いので、出力制御時の消費電力を削減できる。

第8実施例の構成において各トランジスタのドレン及びソースを入れ替えて各差動アンプ及び各ライホ

イールダイオードの極性を逆にしたもののは、第6実施例の構成を上記の第5実施例のように含んだものと実質上等価である。

尚、制御回路20A及びスイッチ制御回路21Aの動作は厳密に同時である必要はない。例えば、第一出力トランジスタ1aがオンした状態から第二出力トランジスタ1bがオンした状態へ移行する間に、第一出力トランジスタ1a及び第二出力トランジスタ1bが共にオフする期間（デッドタイム）が設けられても良い。それにより、各トランジスタのスイッチングに伴うサージ電流等の発生を抑えることができる。更に、上記のデッドタイムにおいて、第一スイッチングトランジスタ18a又は第二スイッチングトランジスタ18bが共にオンする期間を設けても良い。その間に負荷3に蓄えられたエネルギーを外部へ取り出すことができる。但し、このデッドタイムでは上記の出力制御は行われない。

《第9実施例》

図7Bは、本発明の第9実施例の回路図である。図7Bにおいて図7Aのものと同様の構成要素には図7Aと同一の符号を付し、その説明は第8実施例のものを援用する。

第9実施例は、第8実施例に比べ、次の構成及び動作が異なる。

スイッチ制御回路24は、制御回路20Aと同期して第一スイッチングトランジスタ18a又は第二スイッチング

トランジスタ 18b のいずれかを選択する。選択された方のスイッチングトランジスタのゲートへは、抵抗 29a 及び 29b、又は、抵抗 30a 及び 30b によりその選択されたスイッチングトランジスタをオンできる程度に分圧された電源 28 の電圧が印加される。

電流比補償回路 27 は、制御回路 20A から第一出力トランジスタ 1a 及び第二出力トランジスタ 1b へ出力される制御信号を入力する。入力された制御信号は、第一の差動アンプ 4a 又は第二の差動アンプ 4b の出力のいずれかに基づいて以下のように変換されて、第一出力トランジスタ 1a 及び第二出力トランジスタ 1b へ出力される：

第一出力トランジスタ 1a がオンしている場合、電流比補償回路 27 は第一の差動アンプ 4a の出力を入力する。その入力が節点 Q に対する節点 Pa の電位の正の向きの増大を示す場合、電流比補償回路 27 は第一出力トランジスタ 1a のゲート電位を上昇させて第一の出力電流 I_{1a} を増大させるように、第一出力トランジスタ 1a への制御信号を変換する。一方、第一の差動アンプ 4a からの入力が節点 Q に対する節点 Pa の電位の負の向きの増大を示す場合、電流比補償回路 27 は第一出力トランジスタ 1a のゲート電位を下降させて第一の出力電流 I_{1a} を減少させるように、第一出力トランジスタ 1a への制御信号を変換する。

第二出力トランジスタ 1b がオンしている場合、電流比補償回路 27 は第二の差動アンプ 4b の出力を入力す

る。その入力が節点 Qに対する節点 Pbの電位の正の向きの増大を示す場合、電流比補償回路 27は第二出力トランジスタ 1bのゲート電位を上昇させて第二の出力電流 I_{1b}を増大させるように、第二出力トランジスタ 1bへの制御信号を変換する。一方、第二の差動アンプ 4bからの入力が節点 Qに対する節点 Pbの電位の負の向きの増大を示す場合、電流比補償回路 27は第二出力トランジスタ 1bのゲート電位を下降させて第二の出力電流 I_{1b}を減少させるように、第二出力トランジスタ 1bへの制御信号を変換する。

第 9 実施例は以上の構成及び動作について第 8 実施例と異なるが、次に述べるように、第 8 実施例と同様に出力制御を精度良く行うことができる。

第 9 実施例において、制御回路 20A及びスイッチ制御回路 24により導通している回路素子だけをみると、第 8 実施例同様に、第 5 実施例（図 5A）と同じ構成のブリッジを有する。電流比補償回路 27は、上記のように第一出力トランジスタ 1a又は第二出力トランジスタ 1bのゲート電位を変化させて、節点 Pa又は節点 Pbと節点 Qとの電位差を実質的に 0にするように制御する。この制御は、第 5 実施例（図 5A）においてスイッチ制御回路 21がスイッチングトランジスタ 18に対して行ったものと全く同様である。特に、その制御が、パルス幅変調（P W M）制御等のスイッチング制御による場合、上記の節点 Pa又は節点 Pbと節点 Qとの電位差が実質的に 0と

なる時の電流値が、時間平均的に維持されるように制御される。上記のような電流比補償回路27の制御により、上記のブリッジがバランスする。従って、第5実施例と全く同様に、第9実施例ではブリッジがバランスした状態で出力制御を行うことができる。それ故、第9実施例の出力制御の精度が従来よりも良くなる。

《第10実施例》

図8Aは、本発明の第10実施例の回路図である。図8Aにおいて図7Aのものと同様の構成要素には図7Aと同一の符号を付し、その説明は第8実施例のものを援用する。

第10実施例は、第8実施例の構成の他に、第一出力トランジスタ1a及び第二出力トランジスタ1bのそれぞれと連動する第一補助トランジスタ2a及び第二補助トランジスタ2bを有する。更に、共通の電流源12vを切り替えて使用するための第四スイッチ31、第一補助スイッチングトランジスタ32a及び第二補助スイッチングトランジスタ32bを有する。

第一補助トランジスタ2a及び第二補助トランジスタ2bは、好ましくはnチャネルMOSFETであり、ドレインを電極9へ、ソースを第一補助スイッチングトランジスタ32a及び第二補助スイッチングトランジスタ32bのドレインへそれぞれ接続されている。第一補助スイッチングトランジスタ32a及び第二補助スイッチングトランジスタ32bは、好ましくはnチャネルMOSFE

Tである。

第一補助トランジスタ2aのソース電流I2aに対する第一出力トランジスタ1aのソース電流I1aの比率I1a/I2a、及び、第二補助トランジスタ2bのソース電流I2bに対する第二出力トランジスタ1bのソース電流I1bの比率I1b/I2bは、ドレイン、ソース、ゲートの三端子の電位を両トランジスタで共通にした場合、三端子の電位に依らず実質上一定（以下、I1a/I2a=I1b/I2b=nとする）になるように設定されている。

第8実施例の制御回路20Aは共通の補助トランジスタ2のゲート電位と、第一出力トランジスタ1a又は第二出力トランジスタ1bのいずれかのゲート電位とを一致させて制御した。それに対して、第10実施例では、第一出力トランジスタ1aのゲートは第一補助トランジスタ2aのゲートと、第二出力トランジスタ1bのゲートは第二補助トランジスタ2bのゲートと、それぞれ接続されている。従って、制御回路20Bは、第8実施例の制御回路20Aに比べて、それぞれのゲート電位を一致させる動作をする必要がない。

スイッチ31は、制御回路20Bの動作と同期して、第一出力トランジスタ1aがオンした時は第一補助スイッチングトランジスタ32aへ、第二出力トランジスタ1bがオンした時は第二補助スイッチングトランジスタ32bへ、それぞれ電源33の電圧を出力する。出力された電源33の電圧は、抵抗34a及び34b、又は、抵抗35a及び35

bにより分圧されて、第一補助スイッチングトランジスタ32a及び第二補助スイッチングトランジスタ32bをそれぞれオンするだけの電圧となって印加される。こうして、電流源12vは、第一出力トランジスタ1aがオンした時は第一補助トランジスタ2aからの調整用電流I2aを、第二出力トランジスタ1bがオンした時は第二補助トランジスタ2bからの調整用電流I2bを、それぞれ制御目標値Itに保つよう制御する。この制御目標値Itは制御回路20からの制御信号によって変化する。

第一出力トランジスタ1aのドレイン及びソースにそれぞれ接続された抵抗R1a及びR2a、第二出力トランジスタ1bのドレイン及びソースにそれぞれ接続された抵抗R1b及びR2b、第一補助トランジスタ2aのドレイン及びソースにそれぞれ接続された抵抗R3a及びR4a、第二補助トランジスタ2bのドレイン及びソースにそれぞれ接続された抵抗R3b及びR4bは、第7実施例(図6)における抵抗R1、R2、R3、R4に相当する。好ましくは、抵抗R3aの抵抗値は抵抗R1aのn倍、抵抗R3bの抵抗値は抵抗R1bのn倍、抵抗R4aの抵抗値は抵抗R2aのn倍、抵抗R4bの抵抗値は抵抗R2bのn倍にそれぞれ設定される。

第8実施例では、二つの異なる出力トランジスタのソース電位(節点Pa及び接点Pbの電位)が共通の補助トランジスタのソース電位(節点Qの電位)と実質的に一致する時の値に出力電流が維持されるように、出力ト

ランジスタが例えば P W M 制御により制御される。一方、第 10 実施例では、二つの異なる出力トランジスタのソース電位（節点 Pa 及び接点 Pb の電位）がそれぞれ別の補助トランジスタのソース電位（節点 Qa 及び接点 Qb の電位）と実質的に一致する時の値にそれぞれの出力電流が維持されるように、出力トランジスタが例えば P W M 制御により制御される。

制御回路 20B 及びスイッチ制御回路 21A により導通した素子だけをみると、その構成は第 5 実施例（図 5 A）と全く同様である。例えば、第一出力トランジスタ 1a と第一補助トランジスタ 2a と第二スイッチングトランジスタ 18b とがオンし、第二出力トランジスタ 1b と第二補助トランジスタ 2b と第一スイッチングトランジスタ 18b とがオフした場合、第一出力トランジスタ 1a が第 5 実施例の出力トランジスタ 1 と、第一補助トランジスタ 1a が第 5 実施例の補助トランジスタ 2 と、第二スイッチングトランジスタ 18b が第 5 実施例のスイッチングトランジスタ 18 と、それぞれみなせる。従って、上記の各スイッチが選択した状態における出力制御の動作及びその効果については、第 5 実施例の説明を援用できる。

第 10 実施例の回路規模は、補助トランジスタの数が増えているので、第 8 実施例よりかなり大きくなる。しかし、第 10 実施例では、集積回路としてモノリシックに製造する場合、出力トランジスタと補助トランジスタとをウエハ上で互いにごく近い位置に製造しやすい。

つまり、いわゆる素子の整合性においては第10実施例の方が第8実施例より優れている。つまり、出力制御において、ウエハ上の場所による温度や構造の不均一性による誤差を無視できる。

《第11実施例》

図8Bは、本発明の第11実施例の回路図である。図8Bにおいて図8Aのものと同様の構成要素には図8Aと同一の符号を付し、その説明は第10実施例のものを援用する。

第11実施例は第10実施例のように一つの電流源12vを共通に用いるのではなく、補助トランジスタのそれぞれに対して別の電流源12va及び12vbを用いるようにしたものである。その二つの電流源の切換は、スイッチ31bによって制御回路20Bの動作と同期して行われる。それ以外の動作及び効果については第10実施例と全く同様である。

《第12実施例》

図8Cは、本発明の第12実施例の回路図である。図8Cにおいて図7B又は図8Aのものと同様の構成要素には図7B又は図8Aと同一の符号を付し、その説明は第9実施例又は第10実施例のものを援用する。

第12実施例は、電流比補償回路27により出力トランジスタのゲート電位を第9実施例と同様に制御して、第10実施例と同じ構成のブリッジをバランスさせている。それ以外の出力制御の動作及び効果については

第 1 0 実 施 例 と 全く 同 様 で あ る 。

《 第 1 3 実 施 例 》

図 8D は 、 本 発 明 の 第 1 3 実 施 例 の 回 路 図 で あ る 。

図 8D に お い て 図 7B 又 は 図 8B の も の と 同 様 の 構 成 要 素 に
は 図 7B 又 は 図 8B と 同 一 の 符 号 を 付 し 、 そ の 説 明 は 第 9
実 施 例 又 は 第 1 1 実 施 例 の も の を 援 用 す る 。

第 1 3 実 施 例 は 、 電 流 比 補 償 回 路 27 に よ り 出 力 ト
ラ ンジ スタ の ゲ ー ト 電 位 を 第 9 実 施 例 と 同 様 に 制 御 し
て 、 第 1 1 実 施 例 と 同 じ 構 成 の ブ リッジ を バ ラ ンス さ
せ て い る 。 そ れ 以 外 の 出 力 制 御 の 動 作 及 び 効 果 に つ い て は
第 1 1 実 施 例 と 全く 同 様 で あ る 。

《 第 1 4 実 施 例 》

図 9A は 、 本 発 明 の 第 1 4 実 施 例 の 回 路 図 で あ る 。

図 9A に お い て 図 7A の も の と 同 様 の 構 成 要 素 に は 図 7A と
同 一 の 符 号 を 付 し 、 そ の 説 明 は 第 8 実 施 例 の も の を 援 用
す る 。

第 1 4 実 施 例 は 、 第 5 実 施 例 (図 5A) に お け る 出
力 ト ラ ンジ スタ 1 、 スイッチ ン グ ト ラ ンジ スタ 18 及 び 差
動 アンプ 4 に 相 当 す る 素 子 を 三 対 有 し 、 例 え ば 三 相 モ
タ の 駆 動 回 路 と し て 用 い ら れ る 。 そ れ ら は 次 の よ う に 構
成 さ れ て い る 。

u 相 負 荷 3u 、 v 相 負 荷 3v 及 び w 相 負 荷 3w は 一 端 を
共 有 し 、 い わ ゆ る Y 結 線 を 形 成 し て い る 。 こ れ ら の 负 荷
は 例 え ば 三 相 モ タ の ス テ ィ タ 卷 線 に 相 当 す る 。

第一 出 力 ト ラ ンジ スタ 1a 、 第 二 出 力 ト ラ ンジ スタ 1

b及び第三出力トランジスタ1cはいずれも第5実施例の出力トランジスタ1に相当し、好ましくはnチャネルMOSFETであり、ドレインを電極9へ、ソースをu相負荷3u、v相負荷3v及びw相負荷3wへそれぞれ接続されている。更に、第一フライホイールダイオード25a、第二フライホイールダイオード25b及び第三フライホイールダイオード25cが、第一出力トランジスタ1a、第二出力トランジスタ1b及び第三出力トランジスタ1cのソースにアノードを、ドレインにカソードを、それぞれ接続されている。各フライホイールダイオードは、好ましくは、それぞれが並列に接続されている出力トランジスタのボディダイオードである。その他に、独立したダイオード素子であっても良い。

補助トランジスタ2のソース電流I2に対する第一出力トランジスタ1aのソース電流I1aの比率I1a/I2、第二出力トランジスタ1bのソース電流I1bの比率I1b/I2、及び、第三出力トランジスタ1cのソース電流I1cの比率I1c/I2は、ドレイン、ソース、ゲートの三端子の電位を各トランジスタで共通にした場合、三端子の電位に依らず実質上一定（以下、 $I1a/I2 = I1b/I2 = I1c/I2 = n$ とする）になるように設計されている。

第一スイッチングトランジスタ18a、第二スイッチングトランジスタ18b及び第三スイッチングトランジスタ18cはいずれも第5実施例のスイッチングトランジスタ18に相当し、好ましくはnチャネルMOSFETで

ある。第一スイッチングトランジスタ $18a$ 、第二スイッチングトランジスタ $18b$ 及び第三スイッチングトランジスタ $18c$ は、それぞれのドレインを第一出力トランジスタ $1a$ 、第二出力トランジスタ $1b$ 及び第三出力トランジスタ $1c$ のソースのそれぞれへ接続し、ソースを接地している。更に、第四フライホイールダイオード $26a$ 、第五フライホイールダイオード $26b$ 及び第六フライホイールダイオード $26c$ が、第一スイッチングトランジスタ $18a$ 、第二スイッチングトランジスタ $18b$ 及び第三スイッチングトランジスタ $18c$ のソースにアノードを、ドレンにカソードを、それぞれ接続されている。各フライホイールダイオードは、好ましくは、並列に接続されている各スイッチングトランジスタのそれぞれのボディダイオードである。その他に、独立したダイオード素子であっても良い。

第一出力トランジスタ $1a$ のドレイン及びソースにそれぞれ接続された抵抗 $R1a$ 及び $R2a$ 、第二出力トランジスタ $1b$ のドレイン及びソースにそれぞれ接続された抵抗 $R1b$ 及び $R2b$ 、第三出力トランジスタ $1c$ のドレイン及びソースにそれぞれ接続された抵抗 $R1c$ 及び $R2c$ 、補助トランジスタ 2 のドレイン及びソースにそれぞれ接続された抵抗 $R3$ 及び $R4$ は、第7実施例(図6)における抵抗 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ に相当する。好ましくは、抵抗 $R3$ の抵抗値は抵抗 $R1a$ 、 $R1b$ 及び $R1c$ のn倍、抵抗 $R4$ の抵抗値は抵抗 $R2a$ 、 $R2b$ 及び $R2c$ のn倍にそれぞれ設定される。

第一の差動アンプ 4aは節点 Qに対する第一出力トランジスタ 1aと u 相負荷 3uとの節点 Paの電位を、第二の差動アンプ 4bは節点 Qに対する第二出力トランジスタ 1bと v 相負荷 3vとの節点 Pbの電位を、第三差動アンプ 4cは節点 Qに対する第三出力トランジスタ 1cと w 相負荷 3wとの節点 P_cの電位をそれぞれ検出し、それぞれの電位差に、その符号を含めて比例した電圧を出力する。ここで、出力される電圧は単に上記の電位差の正負だけに基づいた二值的なものでも良い。

制御回路 36は外部 14から入力される u 相、 v 相、 w 相の位相情報を基づいて、三つの出力トランジスタのうちいずれか一つのみをオンし、残りをオフするよう、各出力トランジスタのゲートへ制御信号を出力する。

制御回路 36は、外部 14からの入力に基づいて電流源 12vを制御し、調整用電流 I₂の制御目標値を設定する。

更に、制御回路 36は、三つのスイッチングトランジスタのオン又はオフをそれぞれ指示する制御信号をスイッチ制御回路 37Aに出力する。ここで、三つのスイッチングトランジスタのオン及びオフの制御は、例えば、三相モータの駆動回路として用いる場合、通電角が 120°。以上では三つのスイッチングトランジスタの内二つがオンするように、通電角が 120°。以下では常に一つしかオンしないように行われる。更に、例えば、第一出力ト

ランジスタ 1aがオンしている u 相駆動の場合、第二スイッチングトランジスタ 18bと第三スイッチングトランジスタ 18cとをそれぞれ実質的に流れる電流の配分が、通電角、ロータの回転方向及び位相に依存して設定される。

スイッチ制御回路 37Aは、三つの差動アンプ 4a、4b、及び 4cからの入力に基づいて、オンしている出力トランジスタのソース電位が補助トランジスタ 2のソース電位より下がった時にオンしているスイッチングトランジスタをオフするように、制御回路 36からの制御信号を変換し、各スイッチングトランジスタへ出力する。ここで、上記の制御信号の変換の仕方は、以下に述べるように、第 5 実施例と同様にできる：例えば、第一出力トランジスタ 1aだけがオンしている u 相駆動時では、負荷 3u - 負荷 3v - 第二スイッチングトランジスタ 18b、又は、負荷 3u - 負荷 3w - 第三スイッチングトランジスタ 18cのいずれか又はその両方を出力電流が流れる。この場合、第一出力トランジスタ 1aが第 5 実施例（図 5A）の出力トランジスタ 1と、負荷 3u と負荷 3v と負荷 3wとの合成が第 5 実施例の負荷 3と、第二スイッチングトランジスタ 18b 及び第三スイッチングトランジスタ 18cの合成が第 5 実施例のスイッチングトランジスタ 18と、それぞれみなせる。従って、第一出力トランジスタ 1a、補助トランジスタ 2、電流源 12v、三つの負荷と二つのスイッチングトランジスタとの合成、の四つが構成するブ

リッジは、第5実施例のブリッジと全く同様の構成である。そこで、第5実施例と同様に、二つのスイッチングトランジスタのオン及びオフを制御して、その合成の実質的な等価インピーダンスを変化させる。これにより、第5実施例同様、節点Paと節点Qとの電位差を実質的に0となる時の値に出力電流を時間平均的に維持して、上記のブリッジをバランスさせることができ。更に、ブリッジ回路がバランスした後の出力制御についても第5実施例同様であるので、その動作及び効果については第5実施例の説明を援用できる。

但し、第8実施例と同様に、例えば、u相駆動において第二スイッチングトランジスタ18b及び第三スイッチングトランジスタ18cが共にオフした場合、第四フライホイールダイオード26a、第二フライホイールダイオード25b及び第三フライホイールダイオード25cもオンする。そして、電極9を通して直流電源10へ電力が回生される。この回生時に第二スイッチングトランジスタ18b又は第三スイッチングトランジスタ18cのオフと同期して、第二出力トランジスタ1b又は第三出力トランジスタ1cをオンしても良い。それにより、出力トランジスタのオン電圧はフライホイールダイオードよりも一般に低いので、出力制御時の消費電力を削減できる。

第二出力トランジスタ1bだけがオンしているv相駆動時では、負荷3v-負荷3u-第一スイッチングトランジスタ18a、又は、負荷3v-負荷3w-第三スイッチ

ゲトランジスタ $18c$ のいずれか又はその両方を出力電流が流れる。この場合、第二出力トランジスタ $1b$ が第5実施例(図5A)の出力トランジスタ1と、負荷 $3u$ と負荷 $3v$ と負荷 $3w$ との合成が第5実施例の負荷3と、第一スイッチングトランジスタ $18a$ 及び第三スイッチングトランジスタ $18c$ の合成が第5実施例のスイッチングトランジスタ 18 と、それぞれみなせる。従って、第二出力トランジスタ $1b$ 、補助トランジスタ2、電流源 $12v$ 、三つの負荷と二つのスイッチングトランジスタとの合成、の四つが構成するブリッジは、第5実施例のブリッジと全く同様の構成である。このブリッジは、第二の差動アンプ $4b$ の出力に基づいて、節点 Pb と節点 Q との間の電位差を0とするように第一スイッチングトランジスタ $18a$ 又は第三スイッチングトランジスタ $18c$ を制御することによりバランスする。

第三出力トランジスタ $1c$ だけがオンしている w 相駆動時では、負荷 $3w$ -負荷 $3u$ -第一スイッチングトランジスタ $18a$ 、又は、負荷 $3w$ -負荷 $3v$ -第二スイッチングトランジスタ $18b$ のいずれか又はその両方を出力電流が流れる。この場合、第三出力トランジスタ $1c$ が第5実施例(図5A)の出力トランジスタ1と、負荷 $3u$ と負荷 $3v$ と負荷 $3w$ との合成が第5実施例の負荷3と、第一スイッチングトランジスタ $18a$ 及び第二スイッチングトランジスタ $18b$ の合成が第5実施例のスイッチングトランジスタ 18 と、それぞれみなせる。従って、第三出力トランジ

スタ 1c、補助トランジスタ 2、電流源 12v、三つの負荷と二つのスイッチングトランジスタとの合成、の四つが構成するブリッジは、第 5 実施例のブリッジと全く同様の構成である。

このブリッジは、第三の差動アンプ 4c の出力に基づいて、節点 P_c と節点 Q との間の電位差を 0 とするように第一スイッチングトランジスタ 18a 又は第二スイッチングトランジスタ 18b を制御することによりバランスする。

以上のように、u 相、v 相、w 相いずれの駆動時においても、第 5 実施例と同様の出力制御が可能である。

《第 15 実施例》

図 9B は、本発明の第 15 実施例の回路図である。図 9B において図 9A のものと同様の構成要素には図 9A と同一の符号を付し、その説明は第 14 実施例のものを援用する。

第 15 実施例は、第 14 実施例のスイッチ制御回路 37A を、制御回路 36 から各出力トランジスタへの出力を変換するためのスイッチ制御回路 37B に置き換えている点だけが第 14 実施例と異なる。

電流比補償回路 37B は、三つの差動アンプ 4a、4b、及び 4c からの入力に基づいて、オンしている出力トランジスタのソース電位が補助トランジスタ 2 のソース電位より下がった時にオンしているスイッチングトランジスタをオフするように、制御回路 36 からの制御信号を変換し、各出力トランジスタへ出力する。ここで、制御信

号の変換の仕方は、以下に述べるように行う：例えば、第一出力トランジスタ $1a$ だけがオンしている u 相駆動時では、負荷 $3u$ —負荷 $3v$ —第二スイッチングトランジスタ $18b$ 、又は、負荷 $3u$ —負荷 $3w$ —第三スイッチングトランジスタ $18c$ のいずれか又はその両方を出力電流が流れる。この時、第一出力トランジスタ $1a$ 、補助トランジスタ 2 、電流源 $12v$ 、三つの負荷と二つのスイッチングトランジスタとの合成、の四つがブリッジを構成する。そこで、第一出力トランジスタ $1a$ のオン及びオフを電流比補償回路 $37B$ により制御して、その合成の等価インピーダンスを変化させる。これにより、節点 P_a と節点 Q との電位差が実質的に0となる時の値に出力電流を時間平均的に維持して、上記のブリッジをバランスさせることができる。そのようにしてブリッジがバランスした後は、第一出力トランジスタ $1a$ から出力される第一の出力電流 I_{1a} と補助回路 2 から出力される調整用電流 I_2 との比率 I_{1a}/I_2 が、温度変動及び第一出力トランジスタ $1a$ の三端子の電位等に実質的に依存せずに一定である。従って、制御回路 36 が補助トランジスタ 2 を用いて調整用電流 I_2 を精度良く制御すると、第一の出力電流 I_{1a} も同様に精度良く制御できる。

第8実施例と同様に、例えば、 u 相駆動時において第二スイッチングトランジスタ $18b$ 及び第三スイッチングトランジスタ $18c$ が共にオフした場合、第四フライホイールダイオード $26a$ 、第二フライホイールダイオード

25b及び第三フライホイールダイオード25cもオンする。そして、電極9を通して直流電源10へ電力が回生される。この回生時に第二スイッチングトランジスタ18b又は第三スイッチングトランジスタ18cのオフと同期して、第二出力トランジスタ1b又は第三出力トランジスタ1cをオンしても良い。それにより、出力トランジスタのオン電圧はフライホイールダイオードよりも一般に低いので、出力制御時の消費電力を削減できる。

第二出力トランジスタ1bだけがオンしているv相駆動時では、負荷3v-負荷3u-第一スイッチングトランジスタ18a、又は、負荷3v-負荷3w-第三スイッチングトランジスタ18cのいずれか又はその両方を出力電流が流れる。この場合、第二出力トランジスタ1b、補助トランジスタ2、電流源12v、三つの負荷と二つのスイッチングトランジスタとの合成、の四つが構成するブリッジは、第二の差動アンプ4bの出力に基づいて、節点Pbと節点Qとの間の電位差を0とするように第二出力トランジスタ1bを制御することによりバランスする。

第三出力トランジスタ1cだけがオンしているw相駆動時では、負荷3w-負荷3u-第一スイッチングトランジスタ18a、又は、負荷3w-負荷3v-第二スイッチングトランジスタ18bのいずれか又はその両方を出力電流が流れる。この場合、第三出力トランジスタ1c、補助トランジスタ2、電流源12v、三つの負荷と二つのスイッチングトランジスタとの合成、の四つが構成するブリッジ

は、第三の差動アンプ4cの出力に基づいて、節点Pcと節点Qとの間の電位差を0とするように第三出力トランジスタ1cを制御することによりバランスする。

以上のように、u相、v相、w相いずれの駆動時においても、温度変動及び各出力トランジスタの三端子の電位によらず、上記のブリッジをバランスさせることができる。それ故、出力電流と調整用電流との比率が一定に制御されるので、従来より高精度の出力制御が可能である。

《第16実施例》

図10Aは、本発明の第16実施例の回路図である。図10Aにおいて図9Aのものと同様の構成要素には図9Aと同一の符号を付し、その説明は第14実施例のものを援用する。

第16実施例は、第14実施例の構成に加えて、第一出力トランジスタ1a、第二出力トランジスタ1b及び第三出力トランジスタ1cのそれぞれと連動する第一補助トランジスタ2a、第二補助トランジスタ2b及び第三補助トランジスタ2cを有する。更に、共通の電流源12vを切り替えて使用するための第一補助スイッチングトランジスタ32a、第二補助スイッチングトランジスタ32b及び第三補助スイッチングトランジスタ32cを有する。

第一補助トランジスタ2a、第二補助トランジスタ2b及び第三補助トランジスタ2cは、好ましくはnチャネルMOSFETであり、ドレインを電極9へ、ソースを

第一補助スイッチングトランジスタ32a、第二補助スイッチングトランジスタ32b及び第三補助スイッチングトランジスタ32cのドレインへそれぞれ接続されている。第一補助スイッチングトランジスタ32a、第二補助スイッチングトランジスタ32b及び第三補助スイッチングトランジスタ32cは、好ましくはnチャネルMOSFETである。各補助スイッチングトランジスタのソースは電流源12vへ接続されている。

第一補助トランジスタ2aのソース電流I2aに対する第一出力トランジスタ1aのソース電流I1aの比率I1a/I2a、第二補助トランジスタ2bのソース電流I2bに対する第二出力トランジスタ1bのソース電流I1bの比率I1b/I2b、及び、第三補助トランジスタ2cのソース電流I2cに対する第三出力トランジスタ1cのソース電流I1cの比率I1c/I2cは、ドレイン、ソース、ゲートの三端子の電位をそれぞれの出力トランジスタ及び補助トランジスタで共通にした場合、三端子の電位に依らず実質上一定（以下、 $I1a/I2a = I1b/I2b = I1c/I2c = n$ とする）になるように設定されている。

各補助スイッチングトランジスタは制御回路38からの制御信号に従ってオンし及びオフして、それぞれの調整用電流を電流源12vへ導通する。電流源12vは、第一出力トランジスタ1aがオンする時は第一補助トランジスタ2aからの調整用電流I2aを、第二出力トランジスタ1bがオンする時は第二補助トランジスタ2bからの調

整用電流 I_{2b} を、第三出力トランジスタ $1c$ がオンする時は第三補助トランジスタ $2c$ からの調整用電流 I_{2c} を、それぞれ制御目標値 I_t に保つよう制御する。この制御目標値 I_t は制御回路 38 からの制御信号によって変化する。

第一出力トランジスタ $1a$ のドレイン及びソースにそれぞれ接続された抵抗 R_{1a} 及び R_{2a} 、第二出力トランジスタ $1b$ のドレイン及びソースにそれぞれ接続された抵抗 R_{1b} 及び R_{2b} 、第三出力トランジスタ $1c$ のドレイン及びソースにそれぞれ接続された抵抗 R_{1c} 及び R_{2c} 、第一補助トランジスタ $2a$ のドレイン及びソースにそれぞれ接続された抵抗 R_{3a} 及び R_{4a} 、第二補助トランジスタ $2b$ のドレイン及びソースにそれぞれ接続された抵抗 R_{3b} 及び R_{4b} 、第三補助トランジスタ $2c$ のドレイン及びソースにそれぞれ接続された抵抗 R_{3c} 及び R_{4c} は、第7実施例（図6）における抵抗 R_1 、 R_2 、 R_3 、 R_4 に相当する。好ましくは、更に、抵抗 R_{3a} の抵抗値は抵抗 R_{1a} の n 倍、抵抗 R_{3b} の抵抗値は抵抗 R_{1b} の n 倍、抵抗 R_{3c} の抵抗値は抵抗 R_{1c} の n 倍、抵抗 R_{4a} の抵抗値は抵抗 R_{2a} の n 倍、抵抗 R_{4b} の抵抗値は抵抗 R_{2b} の n 倍、抵抗 R_{4c} の抵抗値は抵抗 R_{2c} の n 倍にそれぞれ設定される。

制御回路 38 は、第14実施例の制御回路 36 の機能に加えて、三つの補助スイッチングトランジスタのオン及びオフをそれぞれ指示する制御信号を出力する。この制御信号は、 u 相駆動時は第一補助スイッチングトランジスタ $32a$ を、 v 相駆動時は第二補助スイッチングトランジスタ $32b$ を、 w 相駆動時は第三補助スイッチングトランジスタ $32c$ を制御する。

ンジスタ 32b を、 w 相 駆動 時 は 第三補助スイッチングトランジスタ 32c を、 それ ぞれ オン し、 他 の二つ は オフ させる よう に 指示 する。

第 1 4 実施例 では、 三つ の 異なる 出力トランジスタのソース電位（節点 Pa、 Pb 及び Pc の 電位）を、 共通 の 補助トランジスタのソース電位（節点 Q の 電位）へ一致させる よう に 制御 する。 一方、 第 1 6 実施例 では、 三つ の 異なる 出力トランジスタのソース電位（節点 Pa、 Pb 及び Pc の 電位）を それ ぞれ 別の 補助トランジスタのソース電位（節点 Qa、 Qb 及び Qc の 電位）へ一致させる よう に 制御 する。

第 1 4 実施例 同様 に 導通 した 素子 だけ をみる と、 そ の構成 は 第 5 実施例（図 5A）と 全く 同様 である。 従つて、 上記 の 各スイッチ が 選択 した 状態 における 出力制御 の 動作 及び その 効果 について は、 第 5 実施例 の 説明 を 援用 できる。

第 1 6 実施例 の 回路 規模 は、 補助トランジスタ の 数 が 増え て いる ので、 第 1 4 実施例 よりかなり 大きく な る。 しかし、 第 1 6 実施例 では、 集積回路 として モノリシック に 製造 する 場合、 出力トランジスタ と 補助トランジスタ と を ウエハ 上で 互いに ごく 近い 位置 に 製造 し やすい。 つまり、 いわゆる 素子 の 整合性 において は 第 1 6 実施例 の 方 が 第 1 4 実施例 より 優れ て いる。 つまり、 出力制御 において、 ウエハ 上の 場所 による 温度 や 構造 の 不均一 性 による 誤差 を 無視 できる。

《第17実施例》

図10Bは、本発明の第17実施例の回路図である。図10Bにおいて図10Aのものと同様の構成要素には図10Aと同一の符号を付し、その説明は第16実施例のものを援用する。

第17実施例は第16実施例のように一つの電流源 $12v$ を共通に用いるのではなく、補助トランジスタのそれぞれに対して別の電流源 $12va$ 、 $12vb$ 及び $12vc$ を用いるようにしたのである。但し、制御回路39は、それぞれの電流源に対してそれぞれの制御目標値を設定するための制御信号を出力する。制御回路39は、三つの補助スイッチングトランジスタを制御する必要がない点、及び、三つの電流源へそれぞれ制御信号を出力する点を除き、第16実施例の制御回路38と同じ構成である。

第17実施例の上記以外の動作及び効果については第16実施例と全く同様である。

《第18実施例》

図10Cは、本発明の第18実施例の回路図である。図10Cにおいて図10Aのものと同様の構成要素には図10Aと同一の符号を付し、その説明は第16実施例のものを援用する。

第18実施例は第16実施例と同じ構成のブリッジを、出力トランジスタのドレイン・ソース間の等価インピーダンスを変化させてバランスさせている。それ以外の出力制御の動作及び効果については第16実施例と全

く同様である。

《第19実施例》

図10Dは、本発明の第19実施例の回路図である。図10Dにおいて図10Bのものと同様の構成要素には図10Bと同一の符号を付し、その説明は第17実施例のものを援用する。

第19実施例は第17実施例と同じ構成のブリッジを、出力トランジスタのドレイン・ソース間の等価インピーダンスを変化させてバランスさせている。それ以外の出力制御の動作及び効果については第17実施例と全く同様である。

以上の実施例からわかるように、第5実施例の構成を二対にすると第8実施例となり、更に三対にすると第14実施例となる。このように第5実施例の構成の数を増やしていくことは当業者にとって容易であろう。特に、三相モータの駆動回路として第14から第19までの実施例を利用できるように、四相以上の多相モータの駆動回路へ利用できるように本発明の実施形態を拡張することも可能である。

《第20実施例》

図11は、本発明の第20実施例の回路図である。

第20実施例は、二つの第8実施例同様の回路をマイクロステップ制御回路40で制御することにより、マイクロステップドライバを構成する。図11において破線で囲われた回路ブロックX及びYがそれぞれ第8実施

例の回路に相当する。回路ブロック X 及び Yにおいて、図 7A のものと同様の構成要素には、図 7A と同一の符号にそれが属する回路ブロックを示す「x」又は「y」を付加したものを作り、その説明は第 8 実施例のものを援用する。

負荷 3x 及び 3y は例えばモータのロータ 41 を駆動させるためのステータ巻線である。電流源 12vx 及び 12vy のそれぞれの制御目標値は、マイクロステップ制御回路 40 によって、互いに位相の異なる正弦波マイクロステップで変動するように設定される。更に、マイクロステップ制御回路 40 は、第 8 実施例における外部 14 として、各回路ブロックの制御回路及び各スイッチ（図 7A）を制御する。これにより、負荷 3x 及び 3y にそれぞれ流れる電流が、電流源 12vx 及び 12vy のそれぞれの制御目標値に従って時間的に変動するように制御される。それぞれの回路ブロックによる負荷 3x 及び 3y の制御については、第 8 実施例と全く同様に行えるので、その説明は第 8 実施例のものを援用する。

第 20 実施例は二相のステッパドライバである。更に、第 20 実施例の構成に別の回路ブロックを追加すると三相以上の多相のステッパドライバへ拡張できることは、当業者には容易に理解されるであろう。

《第 21 実施例》

図 12A は、本発明の第 21 実施例の回路図である。

第 21 実施例は、二つの第 11 実施例同様の回路を

マイクロステップ制御回路42で制御することにより、マイクロステップパドライバを構成する。図12Aにおいて破線で囲われた回路ブロックX及びYがそれぞれ第11実施例の回路に相当する。回路ブロックX及びYにおいて、図8Aのものと同様の構成要素には、図8Aと同一の符号にそれが属する回路ブロックを示す「x」又は「y」を附加したものを作りし、その説明は第11実施例のものを援用する。更に、図11のものと同様の構成要素には図11と同一の符号を付し、その説明は第20実施例のものを援用する。

電流源 $12v_{ax}$ 、 $12v_{bx}$ 、 $12v_{ay}$ 及び $12v_{by}$ のそれぞれの制御目標値は、マイクロステップ制御回路42によつて、互いに位相の異なる正弦波マイクロステップで変動するよう設定される。更に、マイクロステップ制御回路42は、第11実施例における外部14として、各回路ブロックの制御回路及び各スイッチ（図8B）を制御する。これにより、負荷 $3x$ 及び $3y$ にそれぞれ流れる電流が、各電流源の制御目標値に従つて時間的に変動するよう制御される。それらの回路ブロックによる負荷 $3x$ 及び $3y$ の制御については、第11実施例と全く同様に行えるので、その説明は第11実施例のものを援用する。

第21実施例は二相のステップパドライバである。更に、第21実施例の構成に別の回路ブロックを追加すると三相以上の多相のステップパドライバへ拡張できること

は、当業者には容易に理解されるであろう。

《第22実施例》

図12Bは、本発明の第22実施例の回路図である。

第22実施例は、第21実施例の各回路ブロックが二つの電流源ではなく、共通の電流源 $12v_x$ 及び $12v_y$ をマイクロステップ制御回路42からの制御信号によって切り替えて使用する点だけが、第21実施例と異なる。その他の構成及び動作は第21実施例と全く同様である。

以上の実施例では、各回路に含まれるトランジスタはnチャネル又はpチャネルMOSFETであった。しかし本発明はこれに限られず、電源等の極性を入れ換えて各々を逆のチャネルMOSFETとしても同様な効果が得られる。更に、MOSFETの他に、バイポーラトランジスタ又は絶縁ゲートバイポーラトランジスタ(IGBT)を用いても、上記の実施例と同様な効果が得られる。

本発明は、上記の実施例のようにモータ等駆動用出力制御装置としての実施に限られるものではない。その他に、リニア方式及びスイッチング方式の電源用IC、ソレノイド駆動回路、又は、通信系回線ドライバ回路として応用できる。

以上の実施例はいずれも、従来の出力制御装置より、温度の変動、動作状態及び製品ごとのパラメータのバラツキによる誤差を抑えて、精度良く行うことができ

る。その結果、出力されるエネルギーが従来より出力制御によって損なわれにくい。つまり、出力制御装置のエネルギー効率が従来より優れている。

発明をある程度の詳細さをもって好適な形態について説明したが、この好適形態の現開示内容は構成の細部において変化してしかるべきものであり、各要素の組合せや順序の変化は請求された発明の範囲及び思想を逸脱することなく実現し得るものである。

産業上の利用の可能性

本発明の出力制御装置によれば、主電流回路の出力電圧範囲を従来より広くできると共に、エネルギー効率を高く保ち、高精度かつ高信頼性の電流駆動システムを実現できる。それ故、本発明における産業上の利用の可能性は極めて高い。

請求の範囲

1. 第一の枝、第二の枝、第三の枝及び第四の枝から構成されたブリッジ回路であって、

前記第一から第四までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一の枝の第一の端子と前記第三の枝の第一の端子とが実質的に定電位の電源接続用の第一の端子に接続され、前記第二の枝の第二の端子と前記第四の枝の第二の端子とが実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、

前記第二の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための出力回路を含み、

前記第三の枝は、前記出力回路と実質的に同一の入力電圧が印加された場合、前記出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、ブリッジ回路；

前記第一の節点と前記第二の節点との電位差を検出するための電位差検出回路；

前記出力回路を前記補助回路と連動させて制御するための制御回路；

並びに、

前記電位差検出回路が検出した前記電位差をフィードバックして、前記ブリッジ回路がバランスして前記比率を実質的に一定に保つように、前記第一から第四までのいずれかの枝の、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

2. 前記第四の枝が前記調整用電流を検出するための電流検出回路を含み、

前記制御回路が前記電流検出回路の検出結果に基づいて前記補助回路を制御する、

請求項1.記載の出力制御装置。

3. 前記第四の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を含む請求項1.記載の出力制御装置。

4. 前記第二の枝が、前記負荷と前記電源接続用の第二の端子との間に直列に接続されて、前記電位差に基づいて前記出力電流を導通し又は遮断するためのスイッチ回路を含む、請求項1.記載の出力制御装置。

5. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる請求項4.記載の出力制御装置。

6. 前記電流比補償回路による前記等価インピーダンスの制御が前記出力回路に対して行われる請求項1.又は請求項5.記載の出力制御装置。

7. 第一の枝、第二の枝、第三の枝及び第四の枝から構成されたブリッジ回路であって、

前記第一から第四までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一の枝の第一の端子と前記第三の枝の第一の端子とが実質的に定電位の電源接続用の第一の端子に接続され、前記第二の枝の第二の端子と前記第四の枝の第二の端子とが実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、

前記第二の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための出力回路を含み、

前記第三の枝は、前記出力回路と実質的に同一の入力電圧が印加された場合、前記出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、ブリッジ回路；

前記第一の節点と前記第二の節点との電位差を検出

するための電位差検出回路；

並びに、

前記出力回路を前記補助回路と連動させて制御し、
前記電位差検出回路の検出した前記電位差に基づいて前
記出力回路及び前記補助回路を遮断するための制御回路
；

を有する出力制御装置。

8. 第一の枝、第二の枝、第三の枝、第四の枝、第五の
枝、第六の枝及び第七の枝から構成された出力用回路網
であって、

前記第一から第七までの枝のそれぞれは第一の端子
と第二の端子とを含み、

前記第一、前記第三及び前記第五の枝のそれぞれの
第一の端子が実質的に定電位の電源接続用の第一の端子
に接続され、

前記第二、前記第四及び前記第六の枝のそれぞれの
第二の端子が実質的に定電位の電源接続用の第二の端子
に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の
端子とが第一の節点で互いに接続され、前記第三の枝の
第二の端子と前記第四の枝の第一の端子とが第二の節点
で互いに接続され、前記第五の枝の第二の端子と前記第
六の枝の第一の端子とが第三の節点で互いに接続され、

前記第七の枝の第一の端子が前記第一の節点へ、前
記第七の枝の第二の端子が前記第二の節点へそれぞれ接

続され、

前記第七の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝は前記負荷を駆動するための第二の出力回路を含み、

前記第二及び前記第四の枝のそれぞれはスイッチ回路を含み、

前記第五の枝は、前記第一又は前記第二の出力回路のいずれかと連動し、その連動する出力回路と実質的に同一の入力電圧が印加された場合、その連動する出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、出力用回路網；

前記第三の節点に対する前記第一の節点又は前記第二の節点の電位を検出するための電位差検出回路；

前記第一又は前記第二の出力回路を実質上交互に前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して実質上交互に前記スイッチ回路のいずれかを導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝、前記第七の枝及び前記第四の枝を前記第一の出力回路からの出力電流が流れる場合、前記第一の枝、前記第七の枝と前記第四の枝との合成、前記第

五の枝及び前記第六の枝から構成されるブリッジが、

前記第三の枝、前記第七の枝及び前記第二の枝を前記第二の出力回路からの出力電流が流れる場合、前記第三の枝、前記第七の枝と前記第二の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジが、

それぞれバランスして前記比率を実質的に一定に保つように、前記電位差検出回路が検出した前記電位差をフィードバックして、前記第一から第六までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；
を有する出力制御装置。

9. 前記第六の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を含む、請求項8.記載の出力制御装置。

10. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項8.記載の出力制御装置。

11. 前記電流比補償回路による前記等価インピーダンスの制御が前記第一又は前記第二の出力回路に対して行われる、請求項8.記載の出力制御装置。

12. 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝、第八の枝及び第九の枝から構成された出力用回路網であって、

前記第一から第九までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五及び前記第七の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六及び前記第八の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、

前記第九の枝の第一の端子が前記第一の節点へ、前記第九の枝の第二の端子が前記第二の節点へそれぞれ接続され、

前記第九の枝が負荷を含み、

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第二及び前記第四の枝のそれぞれがスイッチ回路を含み、

前記第五の枝が、前記第一の出力回路と連動し、前記第一の出力回路と実質的に同一の入力電圧が印加され

た場合、前記第一の出力回路から出力される第一の出力電流に対して実質的に所定の第一の比率だけ小さく調整された第一の調整用電流を出力するための第一の補助回路を含み、

前記第七の枝が、前記第二の出力回路と連動し、前記第二の出力回路と実質的に同一の入力電圧が印加された場合、前記第二の出力回路から出力される第二の出力電流に対して実質的に所定の第二の比率だけ小さく調整された第二の調整用電流を出力するための第二の補助回路を含む、出力用回路網；

前記第三の節点に対する前記第一の節点の電位を第一の電位差として、及び、前記第四の節点に対する前記第二の節点の電位を第二の電位差として、それぞれ検出するための電位差検出回路；

前記第一の出力回路と前記第一の補助回路との対、及び、第二の出力回路と前記第二の補助回路との対を実質上交互に動作させて制御するための制御回路；

前記制御回路の動作と同期して実質上交互に前記スイッチ回路のいずれかを導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝、前記第七の枝及び前記第四の枝を前記第一の出力電流が流れる場合、前記第一の枝、前記第七の枝と前記第四の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジがバランスして前記第

一の比率を実質的に一定に保つように、

前記第三の枝、前記第七の枝及び前記第二の枝を前記第二の出力電流が流れる場合、前記第三の枝、前記第七の枝と前記第二の枝との合成、前記第七の枝及び前記第八の枝から構成されるブリッジがバランスして前記第二の比率を実質的に一定に保つように、

前記電位差検出回路が検出した前記第一又は前記第二の電位差をフィードバックして、前記第一から第八までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

13. 前記第六の枝では前記第一の調整用電流を、前記第八の枝では前記第二の調整用電流をそれぞれ実質上一定に保ち又は準静的に変化させるための電流設定回路を有する請求項12.記載の出力制御装置。

14. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項12.記載の出力制御装置。

15. 前記電流比補償回路による前記等価インピーダンスの制御が前記第一又は前記第二の出力回路に対して行われる、請求項12.又は請求項15.記載の出力制御装置。

16. 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝及び第八の枝から構成された出力用回路網であって、

前記第一から第八までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五及び前記第七の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六及び前記第八の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、

前記第一から第三までの節点へ、Y結線又は△結線された三つの負荷の三つの端子のそれぞれが接続され、

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第五の枝が前記負荷を駆動するための第三の出力回路を含み、

前記第二、前記第四及び前記第六の枝のそれぞれがスイッチ回路を含み、

前記第七の枝が、前記第一から第三までの出力回路のいずれかと連動して、その連動する出力回路と実質的に同一の入力電圧が印加された場合、その連動する出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、出力用回路網；

前記第四の節点に対する前記第一の節点、前記第二の節点又は前記第三の節点の電位を検出するための電位差検出回路；

前記第一から第三までの出力回路のそれぞれを所定の順に前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路のいずれか一つ又は二つを所定の順序及び組合せで導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝と、前記負荷と、前記第四又は前記第六の枝のいずれか又はその両方とを前記第一の出力回路からの出力電流が流れる場合、前記第一の枝、前記負荷と前記第四又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

前記第三の枝と、前記負荷と、前記第二又は前記第六の枝のいずれか又はその両方とを前記第二の出力回路からの出力電流が流れる場合、前記第三の枝、前記負荷

と前記第二又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

前記第五の枝と、前記負荷と、前記第二又は前記第四の枝のいずれか又はその両方とを前記第三の出力回路からの出力電流が流れる場合、前記第五の枝、前記負荷と前記第二又は前記第四の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

それぞれバランスして前記比率を実質的に一定に保つように、

前記電位差検出回路が検出した前記電位差をフィードバックして、前記第一から第八までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

17. 前記第八の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を有する請求項16.記載の出力制御装置。

18. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項16.記載の出力制御装置。

19. 前記電流比補償回路による前記等価インピーダンスの制御が前記第一から第三までの出力回路のいずれかにに対して行われる、請求項16.又は請求項18.記載の出力制

御 装 置 。

20. 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝、第八の枝、第九の枝、第十の枝、第十一の枝及び第十二の枝から構成された回路網であつて、

前記第一から第十二までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五、前記第七、前記第九及び前記第十一の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六、前記第八、前記第十及び前記第十二の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、前記第九の枝の第二の端子と前記第十の枝の第一の端子とが第五の節点で互いに接続され、前記第十一の枝の第二の端子と前記第十二の枝の第一の端子とが第六の節点で互いに接続され、

前記第一から第三までの節点へ、Y結線又は△結線された三つの負荷の三つの端子のそれぞれが接続され

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第五の枝が前記負荷を駆動するための第三の出力回路を含み、

前記第二、前記第四及び前記第六の枝のそれぞれがスイッチ回路を含み、

前記第七の枝が、前記第一の出力回路と連動して、前記第一の出力回路と実質的に同一の入力電圧が印加された場合、前記第一の出力回路から出力される第一の出力電流に対して実質的に所定の第一の比率だけ小さく調整された第一の調整用電流を出力するための第一の補助回路を含み、

前記第九の枝が、前記第二の出力回路と連動して、前記第二の出力回路と実質的に同一の入力電圧が印加された場合、前記第二の出力回路から出力される第二の出力電流に対して実質的に所定の第二の比率だけ小さく調整された第二の調整用電流を出力するための第二の補助回路を含み、

前記第十一の枝が、前記第三の出力回路と連動して、前記第三の出力回路と実質的に同一の入力電圧が印加された場合、前記第三の出力回路から出力される第三の出力電流に対して実質的に所定の第三の比率だけ小さく調整された第三の調整用電流を出力するための第三の

補助回路を含む、出力用回路網；

前記第四の節点に対する前記第一の節点の電位を第一の電位差として、前記第五の節点に対する前記第二の節点の電位を第二の電位差として、及び、前記第六の節点に対する前記第三の節点の電位を第三の電位差として、それぞれ検出するための電位差検出回路；

前記第一の出力回路と前記第一の補助回路との対、前記第二の出力回路と前記第二の補助回路との対、前記第三の出力回路と前記第三の補助回路との対、のそれを所定の順に動作させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路のいずれか一つ又は二つを所定の順序及び組合せで導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝と、前記負荷と、前記第四又は前記第六の枝のいずれか又はその両方とを前記第一の出力電流が流れる場合、前記電位差検出回路が検出した前記第一の電位差をフィードバックして、前記第一の枝、前記負荷と前記第四又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジがバランスして前記第一の比率を、

前記第三の枝と、前記負荷と、前記第二又は前記第六の枝のいずれか又はその両方とを前記第二の出力電流が流れる場合、前記電位差検出回路が検出した前記第二の電位差をフィードバックして、前記第三の枝、前記負

荷と前記第二又は前記第六の枝のいずれか又はその両方との合成、前記第九の枝及び前記第十の枝から構成されるブリッジがバランスして前記第二の比率を、

前記第五の枝と、前記負荷と、前記第二又は前記第四の枝のいずれか又はその両方とを前記第三の出力電流が流れる場合、前記電位差検出回路が検出した前記第三の電位差をフィードバックして、前記第五の枝、前記負荷と前記第二又は前記第四の枝のいずれか又はその両方との合成、前記第十一の枝及び前記第十二の枝から構成されるブリッジがバランスして前記第三の比率を、

それぞれ実質的に一定に保つように、前記第一から第十二までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

21. 前記第八の枝では前記第一の調整用電流を、前記第十の枝では前記第二の調整用電流を、前記第十二の枝では前記第三の調整用電流を、それぞれ実質的に一定に保ち又は準静的に変化させるための電流設定回路を有する請求項20.記載の出力制御装置。

22. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項20.記載の出力制御装置。

23. 前記電流比補償回路による前記等価インピーダンスの制御が前記第一から第三までの出力回路のいずれかに

対して行われる、請求項20.又は請求項22.記載の出力制御装置。

24. それぞれが請求項13.記載の出力制御装置である少なくとも二つの出力制御回路；並びに、

前記出力制御回路のそれぞれにおける前記調整用電流を制御して、それぞれの前記負荷を流れる電流を制御するためのマイクロステップ制御回路；

を有する出力制御装置。

25. それぞれが請求項17.記載の出力制御装置である少なくとも二つの出力制御回路；並びに、

前記出力制御回路のそれぞれにおける前記第一及び第二の調整用電流を制御して、それぞれの前記負荷を流れる電流を制御するためのマイクロステップ制御回路；
を有する出力制御装置。

26. 前記出力回路の周辺に存在する主抵抗、及び、前記出力回路と連動する前記補助回路の周辺に存在する補助抵抗が、前記出力回路からの前記出力電流と前記補助回路からの前記調整用電流との実質的な比例関係を満たすように配慮されている、請求項1.から請求項25.までのいずれか一項に記載の出力制御装置。

27. 前記主抵抗が前記出力回路と直列に接続され、前記補助抵抗が前記補助回路と直列に接続されて前記主抵抗の抵抗値に対して実質的に前記比例関係の比例係数の逆数倍の抵抗値を持つ、請求項26.記載の出力制御装置。

補正書の請求の範囲

[2000年11月30日(30. 11. 00)国際事務局受理：出願当初の請求の範囲1, 5, 15, 19, 20, 23及び26は補正された；出願当初の請求の範囲2, 3, 4, 7及び25は取り下げられた；他の請求の範囲は変更なし。(17頁)]

1. (補正後) 第一の枝、第二の枝、第三の枝及び第四の枝から構成されたブリッジ回路であって、

前記第一から第四までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一の枝の第一の端子と前記第三の枝の第一の端子とが実質的に定電位の電源接続用の第一の端子に接続され、前記第二の枝の第二の端子と前記第四の枝の第二の端子とが実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、

前記第二の枝は負荷及び前記負荷と直列に接続されたスイッチ回路を含み、

前記第一の枝は前記負荷を駆動するための出力回路を含み、

前記第三の枝は、前記出力回路と実質的に同一の入力電圧が印加された場合、前記出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含み、

前記第四の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を含む、
ブリッジ回路：

前記第一の節点と前記第二の節点との電位差を検出するための電位差検出回路；

前記出力回路を前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路を導通又は遮断させるためのスイッチ制御回路；

並びに、

前記電位差検出回路が検出した前記電位差をフィードバックして、前記ブリッジ回路がバランスして前記比率を実質的に一定に保つように、前記第一から第四までのいずれかの枝の、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

2. (削除)

3. (削除)

4. (削除)

5. (補正後) 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる請求項1.記載の出力制御装置。

6.（補正後） 前記電流比補償回路による前記等価インピーダンスの制御が前記出力回路及び前記スイッチ回路に対して行われる請求項1.記載の出力制御装置。

7.（削除）

8. 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝及び第七の枝から構成された出力用回路網であって、

前記第一から第七までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三及び前記第五の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四及び前記第六の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、

前記第七の枝の第一の端子が前記第一の節点へ、前記第七の枝の第二の端子が前記第二の節点へそれぞれ接

続され、

前記第七の枝は負荷を含み、

前記第一の枝は前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝は前記負荷を駆動するための第二の出力回路を含み、

前記第二及び前記第四の枝のそれぞれはスイッチ回路を含み、

前記第五の枝は、前記第一又は前記第二の出力回路のいずれかと連動し、その連動する出力回路と実質的に同一の入力電圧が印加された場合、その連動する出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、出力用回路網；

前記第三の節点に対する前記第一の節点又は前記第二の節点の電位を検出するための電位差検出回路；

前記第一又は前記第二の出力回路を実質上交互に前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して実質上交互に前記スイッチ回路のいずれかを導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝、前記第七の枝及び前記第四の枝を前記第一の出力回路からの出力電流が流れる場合、前記第一の枝、前記第七の枝と前記第四の枝との合成、前記第

五の枝及び前記第六の枝から構成されるブリッジが、

前記第三の枝、前記第七の枝及び前記第二の枝を前記第二の出力回路からの出力電流が流れる場合、前記第三の枝、前記第七の枝と前記第二の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジが、

それぞれバランスして前記比率を実質的に一定に保つように、前記電位差検出回路が検出した前記電位差をフィードバックして、前記第一から第六までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；
を有する出力制御装置。

9. 前記第六の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を含む、請求項8.記載の出力制御装置。

10. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項8.記載の出力制御装置。

11. 前記電流比補償回路による前記等価インピーダンスの制御が前記第一又は前記第二の出力回路に対して行われる、請求項8.記載の出力制御装置。

12. 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝、第八の枝及び第九の枝から構成された出力用回路網であって、

前記第一から第九までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五及び前記第七の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六及び前記第八の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、

前記第九の枝の第一の端子が前記第一の節点へ、前記第九の枝の第二の端子が前記第二の節点へそれぞれ接続され、

前記第九の枝が負荷を含み、

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第二及び前記第四の枝のそれぞれがスイッチ回路を含み、

前記第五の枝が、前記第一の出力回路と連動し、前記第一の出力回路と実質的に同一の入力電圧が印加され

た場合、前記第一の出力回路から出力される第一の出力電流に対して実質的に所定の第一の比率だけ小さく調整された第一の調整用電流を出力するための第一の補助回路を含み、

前記第七の枝が、前記第二の出力回路と運動し、前記第二の出力回路と実質的に同一の入力電圧が印加された場合、前記第二の出力回路から出力される第二の出力電流に対して実質的に所定の第二の比率だけ小さく調整された第二の調整用電流を出力するための第二の補助回路を含む、出力用回路網；

前記第三の節点に対する前記第一の節点の電位を第一の電位差として、及び、前記第四の節点に対する前記第二の節点の電位を第二の電位差として、それぞれ検出するための電位差検出回路；

前記第一の出力回路と前記第一の補助回路との対、及び、第二の出力回路と前記第二の補助回路との対を実質上交互に動作させて制御するための制御回路；

前記制御回路の動作と同期して実質上交互に前記スイッチ回路のいずれかを導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝、前記第七の枝及び前記第四の枝を前記第一の出力電流が流れる場合、前記第一の枝、前記第七の枝と前記第四の枝との合成、前記第五の枝及び前記第六の枝から構成されるブリッジがバランスして前記第

一の比率を実質的に一定に保つように、

前記第三の枝、前記第七の枝及び前記第二の枝を前記第二の出力電流が流れる場合、前記第三の枝、前記第七の枝と前記第二の枝との合成、前記第七の枝及び前記第八の枝から構成されるブリッジがバランスして前記第二の比率を実質的に一定に保つように、

前記電位差検出回路が検出した前記第一又は前記第二の電位差をフィードバックして、前記第一から第八までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

13. 前記第六の枝では前記第一の調整用電流を、前記第八の枝では前記第二の調整用電流をそれぞれ実質上一定に保ち又は準静的に変化させるための電流設定回路を有する請求項12.記載の出力制御装置。

14. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項12.記載の出力制御装置。

15.（補正後） 前記電流比補償回路による前記等価インピーダンスの制御が前記第一又は前記第二の出力回路に対して行われる、請求項12.記載の出力制御装置。

16. 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝及び第八の枝から構成された出力用回路網であって、

前記第一から第八までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五及び前記第七の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六及び前記第八の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、

前記第一から第三までの節点へ、Y結線又は△結線された三つの負荷の三つの端子のそれぞれが接続され、

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第五の枝が前記負荷を駆動するための第三の出力回路を含み、

前記第二、前記第四及び前記第六の枝のそれぞれがスイッチ回路を含み、

前記第七の枝が、前記第一から第三までの出力回路のいずれかと連動して、その連動する出力回路と実質的に同一の入力電圧が印加された場合、その連動する出力回路から出力される出力電流に対して実質的に所定の比率だけ小さく調整された調整用電流を出力するための補助回路を含む、出力用回路網；

前記第四の節点に対する前記第一の節点、前記第二の節点又は前記第三の節点の電位を検出するための電位差検出回路；

前記第一から第三までの出力回路のそれぞれを所定の順に前記補助回路と連動させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路のいずれか一つ又は二つを所定の順序及び組合せで導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝と、前記負荷と、前記第四又は前記第六の枝のいずれか又はその両方とを前記第一の出力回路からの出力電流が流れる場合、前記第一の枝、前記負荷と前記第四又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

前記第三の枝と、前記負荷と、前記第二又は前記第六の枝のいずれか又はその両方とを前記第二の出力回路からの出力電流が流れる場合、前記第三の枝、前記負荷

と前記第二又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

前記第五の枝と、前記負荷と、前記第二又は前記第四の枝のいずれか又はその両方とを前記第三の出力回路からの出力電流が流れる場合、前記第五の枝、前記負荷と前記第二又は前記第四の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジが、

それぞれバランスして前記比率を実質的に一定に保つように、

前記電位差検出回路が検出した前記電位差をフィードバックして、前記第一から第八までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；
を有する出力制御装置。

17. 前記第八の枝が前記調整用電流を実質的に一定に保ち又は準静的に変化させるための電流設定回路を有する請求項16.記載の出力制御装置。

18. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項16.記載の出力制御装置。

19.（補正後） 前記電流比補償回路による前記等価インピーダンスの制御が前記第一から第三までの出力回路のいずれかに対して行われる、請求項16.記載の出力制

御 装 置 。

20. (補正後) 第一の枝、第二の枝、第三の枝、第四の枝、第五の枝、第六の枝、第七の枝、第八の枝、第九の枝、第十の枝、第十一の枝及び第十二の枝から構成された出力用回路網であつて、

前記第一から第十二までの枝のそれぞれは第一の端子と第二の端子とを含み、

前記第一、前記第三、前記第五、前記第七、前記第九及び前記第十一の枝のそれぞれの第一の端子が実質的に定電位の電源接続用の第一の端子に接続され、

前記第二、前記第四、前記第六、前記第八、前記第十及び前記第十二の枝のそれぞれの第二の端子が実質的に定電位の電源接続用の第二の端子に接続され、

前記第一の枝の第二の端子と前記第二の枝の第一の端子とが第一の節点で互いに接続され、前記第三の枝の第二の端子と前記第四の枝の第一の端子とが第二の節点で互いに接続され、前記第五の枝の第二の端子と前記第六の枝の第一の端子とが第三の節点で互いに接続され、前記第七の枝の第二の端子と前記第八の枝の第一の端子とが第四の節点で互いに接続され、前記第九の枝の第二の端子と前記第十の枝の第一の端子とが第五の節点で互いに接続され、前記第十一の枝の第二の端子と前記第十二の枝の第一の端子とが第六の節点で互いに接続され、

前記第一から第三までの節点へ、Y結線又は△結線された三つの負荷の三つの端子のそれぞれが接続され

前記第一の枝が前記負荷を駆動するための第一の出力回路を含み、

前記第三の枝が前記負荷を駆動するための第二の出力回路を含み、

前記第五の枝が前記負荷を駆動するための第三の出力回路を含み、

前記第二、前記第四及び前記第六の枝のそれぞれがスイッチ回路を含み、

前記第七の枝が、前記第一の出力回路と連動して、前記第一の出力回路と実質的に同一の入力電圧が印加された場合、前記第一の出力回路から出力される第一の出力電流に対して実質的に所定の第一の比率だけ小さく調整された第一の調整用電流を出力するための第一の補助回路を含み、

前記第九の枝が、前記第二の出力回路と連動して、前記第二の出力回路と実質的に同一の入力電圧が印加された場合、前記第二の出力回路から出力される第二の出力電流に対して実質的に所定の第二の比率だけ小さく調整された第二の調整用電流を出力するための第二の補助回路を含み、

前記第十一の枝が、前記第三の出力回路と連動して、前記第三の出力回路と実質的に同一の入力電圧が印加された場合、前記第三の出力回路から出力される第三の出力電流に対して実質的に所定の第三の比率だけ小さく調整された第三の調整用電流を出力するための第三の

補助回路を含む、出力用回路網；

前記第四の節点に対する前記第一の節点の電位を第一の電位差として、前記第五の節点に対する前記第二の節点の電位を第二の電位差として、及び、前記第六の節点に対する前記第三の節点の電位を第三の電位差として、それぞれ検出するための電位差検出回路；

前記第一の出力回路と前記第一の補助回路との対、前記第二の出力回路と前記第二の補助回路との対、前記第三の出力回路と前記第三の補助回路との対、のそれを所定の順に動作させて制御するための制御回路；

前記制御回路の動作と同期して前記スイッチ回路のいずれか一つ又は二つを所定の順序及び組合せで導通させ又は遮断させるためのスイッチ制御回路；

並びに、

前記第一の枝と、前記負荷と、前記第四又は前記第六の枝のいずれか又はその両方とを前記第一の出力電流が流れる場合、前記電位差検出回路が検出した前記第一の電位差をフィードバックして、前記第一の枝、前記負荷と前記第四又は前記第六の枝のいずれか又はその両方との合成、前記第七の枝及び前記第八の枝から構成されるブリッジがバランスして前記第一の比率を、

前記第三の枝と、前記負荷と、前記第二又は前記第六の枝のいずれか又はその両方とを前記第二の出力電流が流れる場合、前記電位差検出回路が検出した前記第二の電位差をフィードバックして、前記第三の枝、前記負

荷と前記第二又は前記第六の枝のいずれか又はその両方との合成、前記第九の枝及び前記第十の枝から構成されるブリッジがバランスして前記第二の比率を、

前記第五の枝と、前記負荷と、前記第二又は前記第四の枝のいずれか又はその両方とを前記第三の出力電流が流れる場合、前記電位差検出回路が検出した前記第三の電位差をフィードバックして、前記第五の枝、前記負荷と前記第二又は前記第四の枝のいずれか又はその両方との合成、前記第十一の枝及び前記第十二の枝から構成されるブリッジがバランスして前記第三の比率を、

それぞれ実質的に一定に保つように、前記第一から第十二までの枝のいずれかの、前記第一の端子と前記第二の端子との間の等価インピーダンスを制御するための電流比補償回路；

を有する出力制御装置。

21. 前記第八の枝では前記第一の調整用電流を、前記第十の枝では前記第二の調整用電流を、前記第十二の枝では前記第三の調整用電流を、それぞれ実質的に一定に保ち又は準静的に変化させるための電流設定回路を有する請求項20.記載の出力制御装置。

22. 前記電流比補償回路による前記等価インピーダンスの制御が前記スイッチ回路に対して行われる、請求項20.記載の出力制御装置。

23.（補正後） 前記電流比補償回路による前記等価インピーダンスの制御が前記第一から第三までの出力回路のいずれかに

対して行われる、請求項20.記載の出力制御装置。

24. それぞれが請求項13.記載の出力制御装置である少なくとも二つの出力制御回路；並びに、

前記出力制御回路のそれぞれにおける前記調整用電流を制御して、それぞれの前記負荷を流れる電流を制御するためのマイクロステップ制御回路；

を有する出力制御装置。

25.（削除）

26.（補正後） 前記出力回路の周辺に存在する主抵抗、及び、前記出力回路と連動する前記補助回路の周辺に存在する補助抵抗が、前記出力回路からの前記出力電流と前記補助回路からの前記調整用電流との実質的な比例関係を満たすように配慮されている、請求項1.、8.、12.、16.又は20.のいずれか一項に記載の出力制御装置。

27. 前記主抵抗が前記出力回路と直列に接続され、前記補助抵抗が前記補助回路と直列に接続されて前記主抵抗の抵抗値に対して実質的に前記比例関係の比例係数の逆数倍の抵抗値を持つ、請求項26.記載の出力制御装置。

120
条 約 第 19 条 (1) に 基 づ く 説 明 書

[1] 請求の範囲第1項では、出力制御回路がブリッジ回路の第二の枝にスイッチ回路を、第四の枝に電流設定回路を、更にスイッチ制御回路を含むことを明確にした。

本発明では、電流比補償回路がブリッジ回路をバランスさせ、電流設定回路が調整用電流を一定にし又は準静的に変化させ、それにより出力電流を一定にし又は準静的に変化させる。更に、スイッチ制御回路が制御回路の動作と同期してスイッチ回路を導通又は遮断させ、それにより出力回路とスイッチ回路とで出力電流をスイッチング制御する。ブリッジ回路がバランスするので、出力電流のスイッチング制御は、出力回路と補助回路との温度の変動、動作状態、及び、サイズ等のパラメータのバラツキに依らず、従来より高精度である。

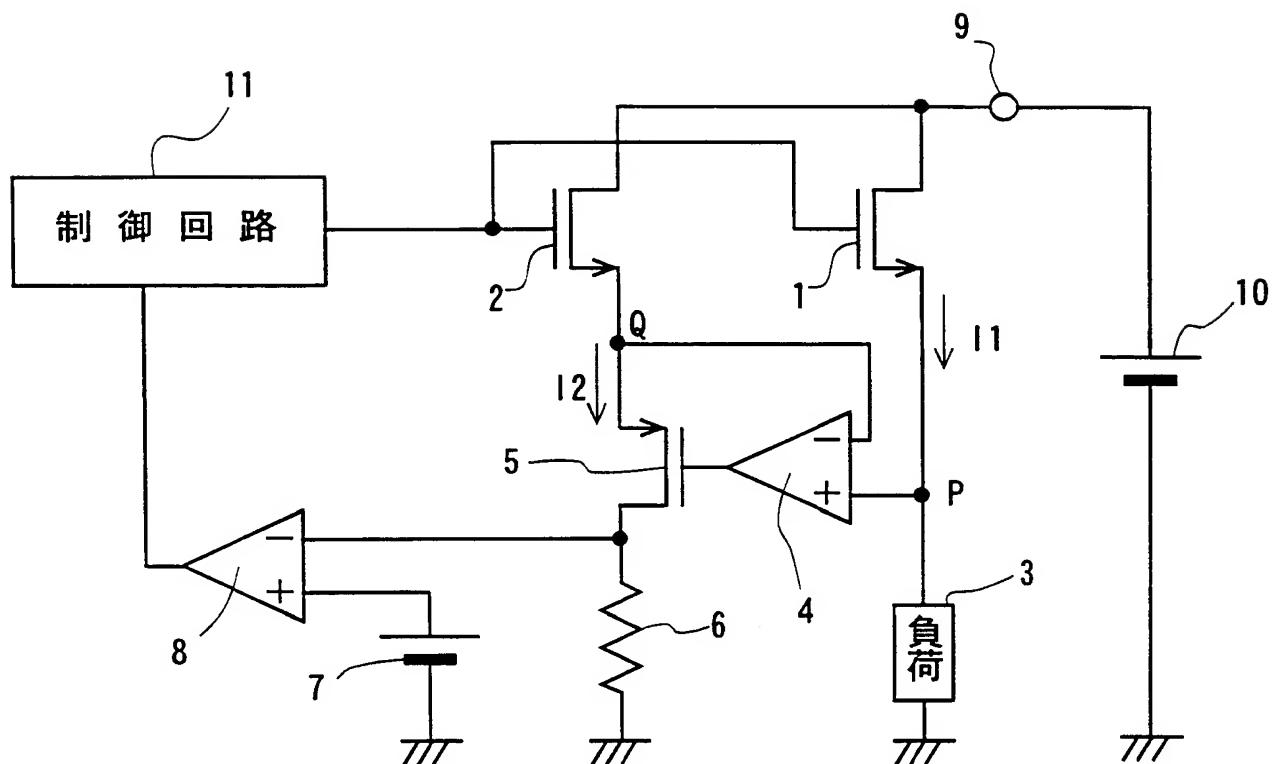
いずれの引用例にも、電流設定回路、スイッチ回路及びスイッチ制御回路を含む出力制御回路の構成及び上記の効果は記載されていない。

[2] 請求の範囲第6項では、電流比補償回路による等価インピーダンスの制御が出力回路だけでなく、スイッチ回路に対しても行われることを明確にした。

本発明では、電流比補償回路が出力回路及びスイッチ回路の等価インピーダンスを制御する。従って、出力回路とスイッチ回路とがスイッチング制御により出力電流を制御すると共に、ブリッジ回路をバランスさせる。

[3] 請求の範囲第6項、第15項、第19項、第23項及び第26項は、引用している請求の範囲の中に多数従属請求の範囲を含まないことを明確にした。

図 1



2 / 27

図 2

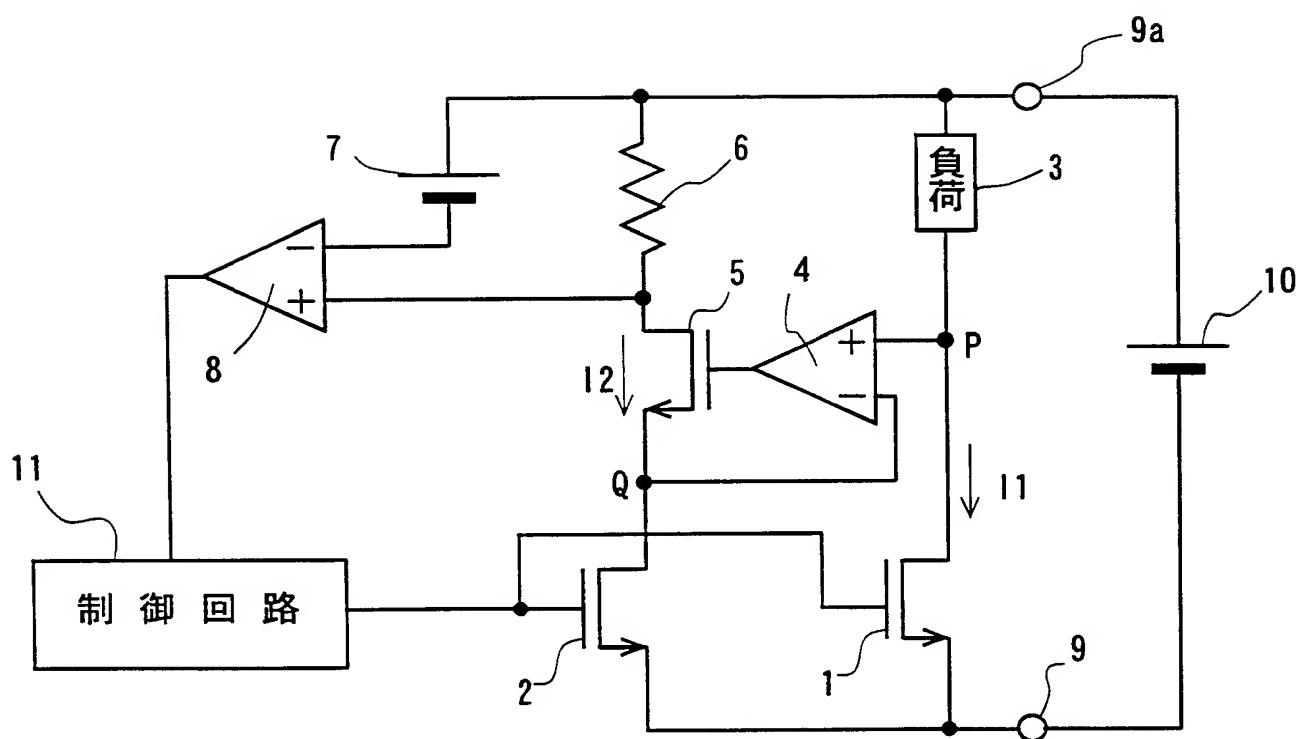
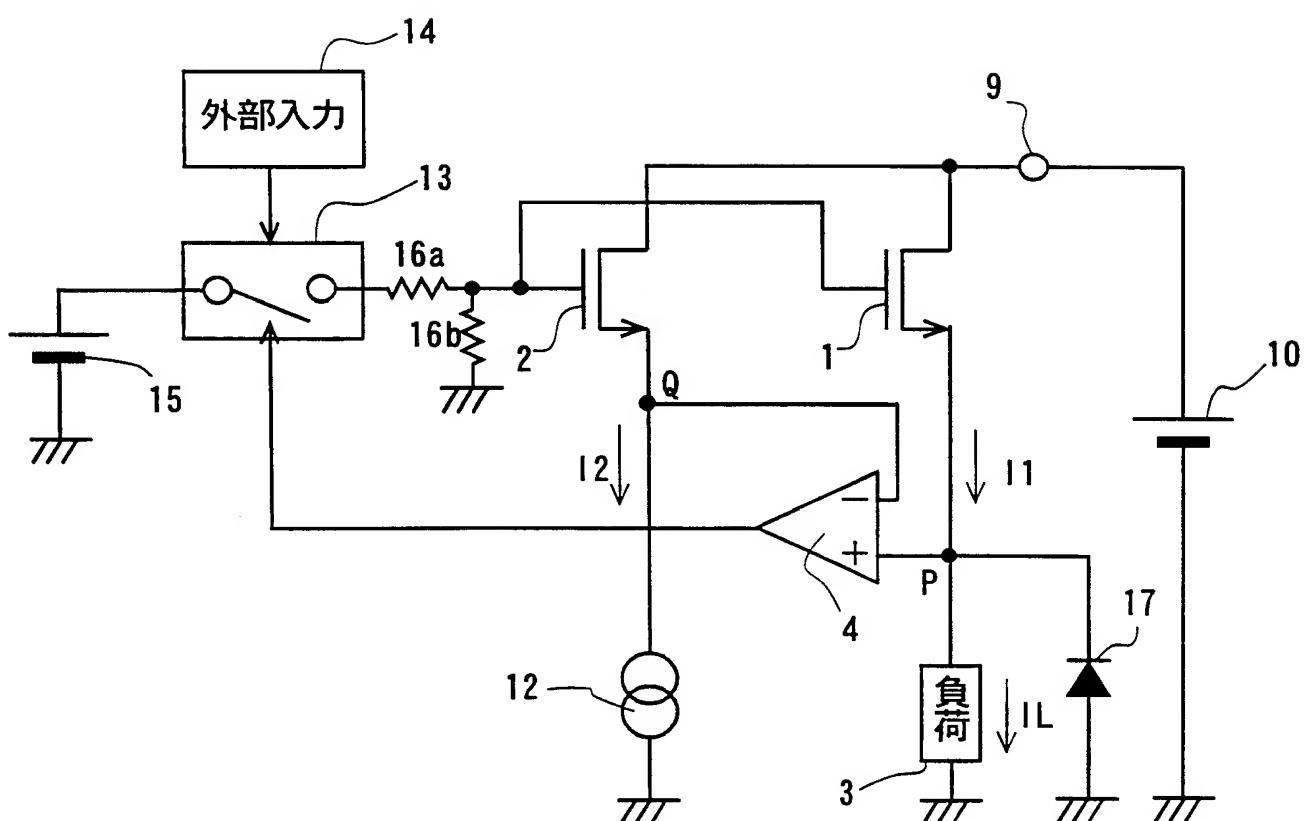


図 3 A



4 / 27

図 3 B

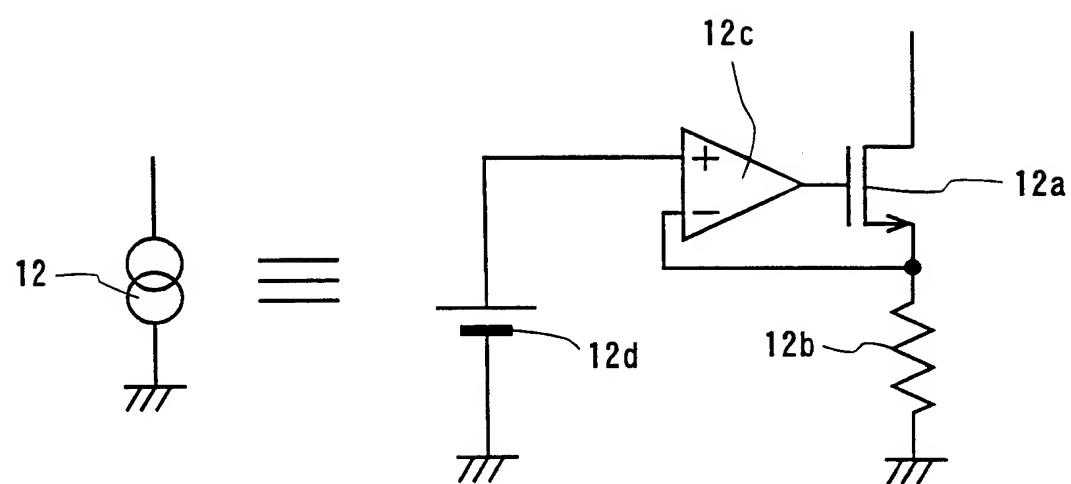


図 4

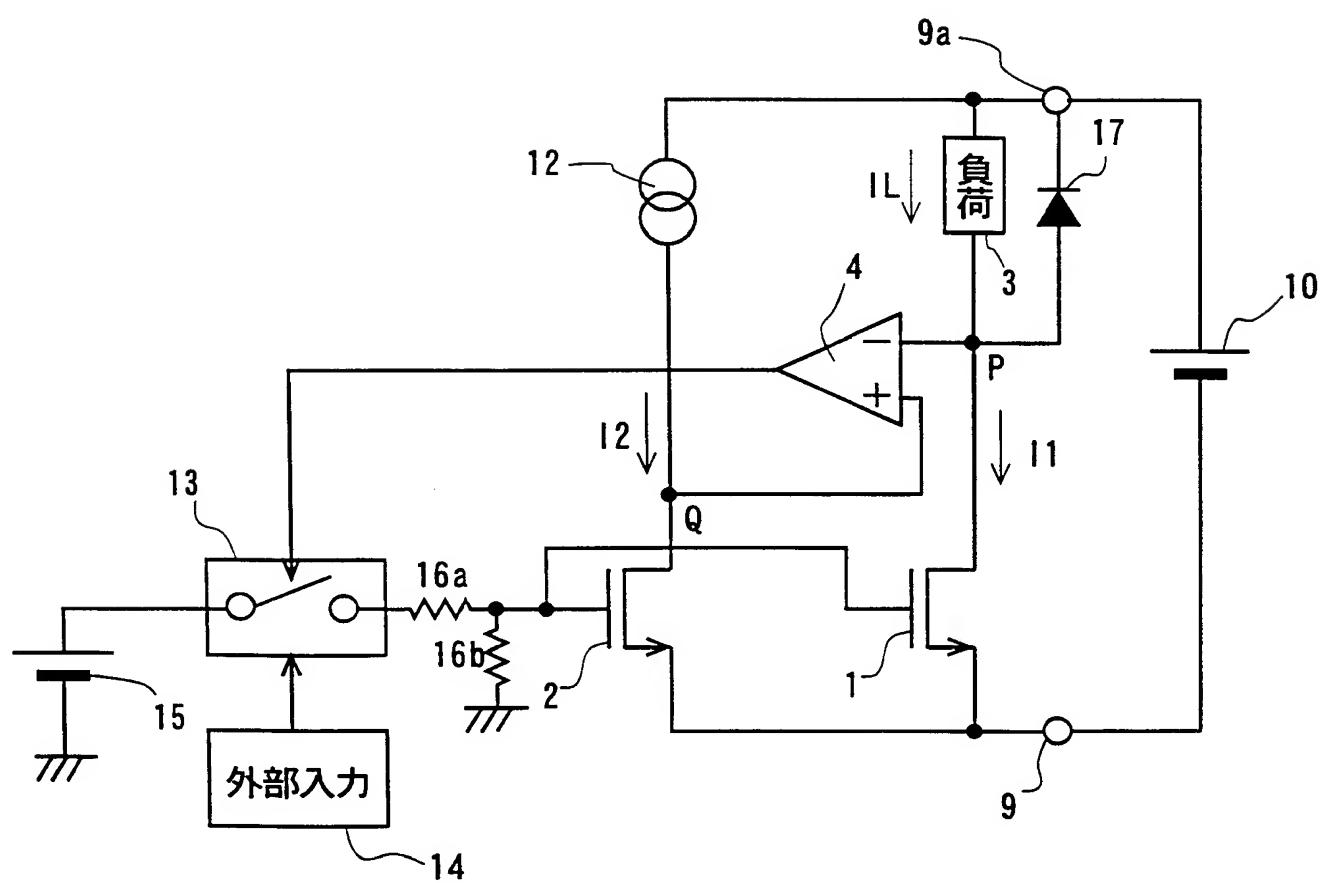


図 5 A

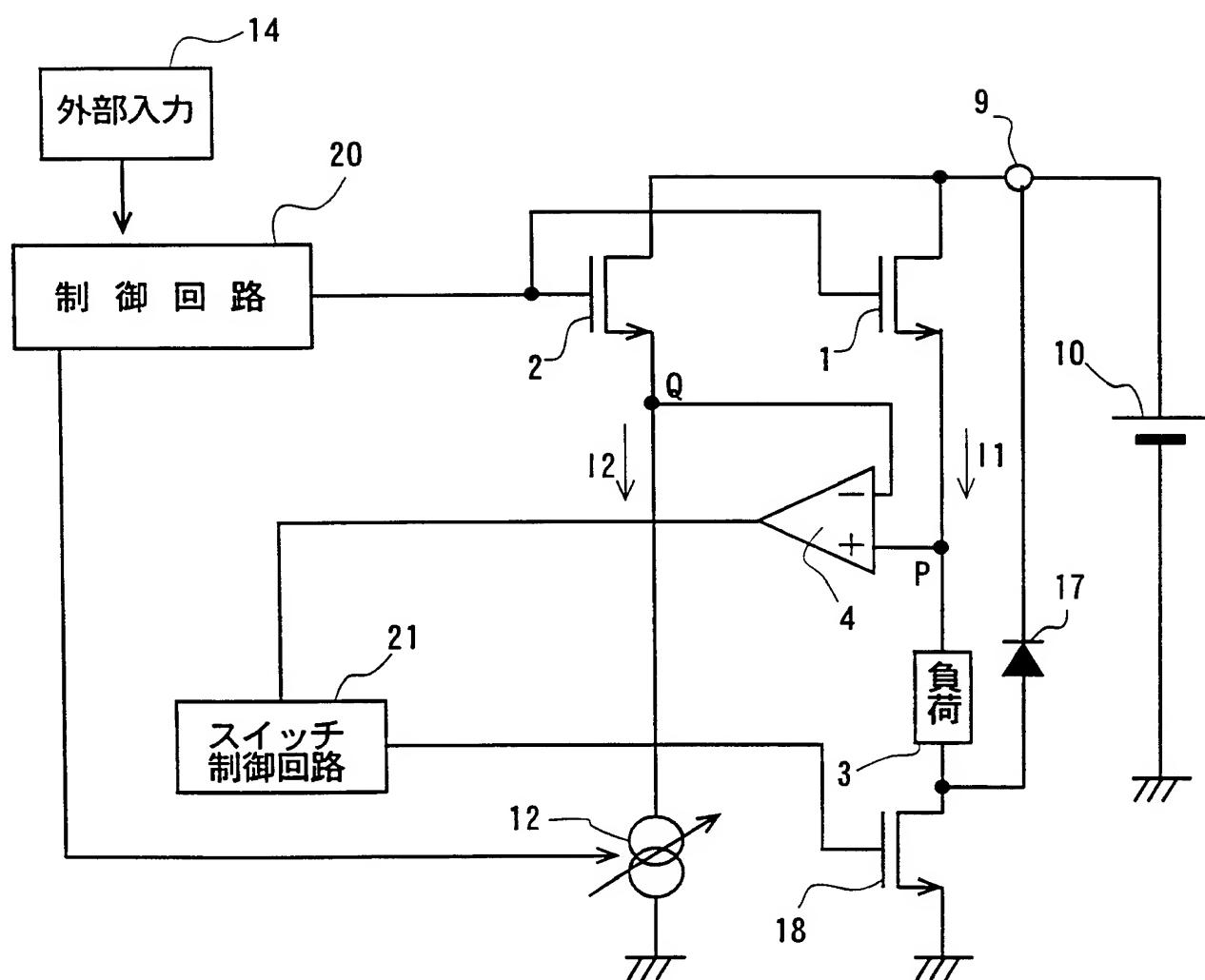
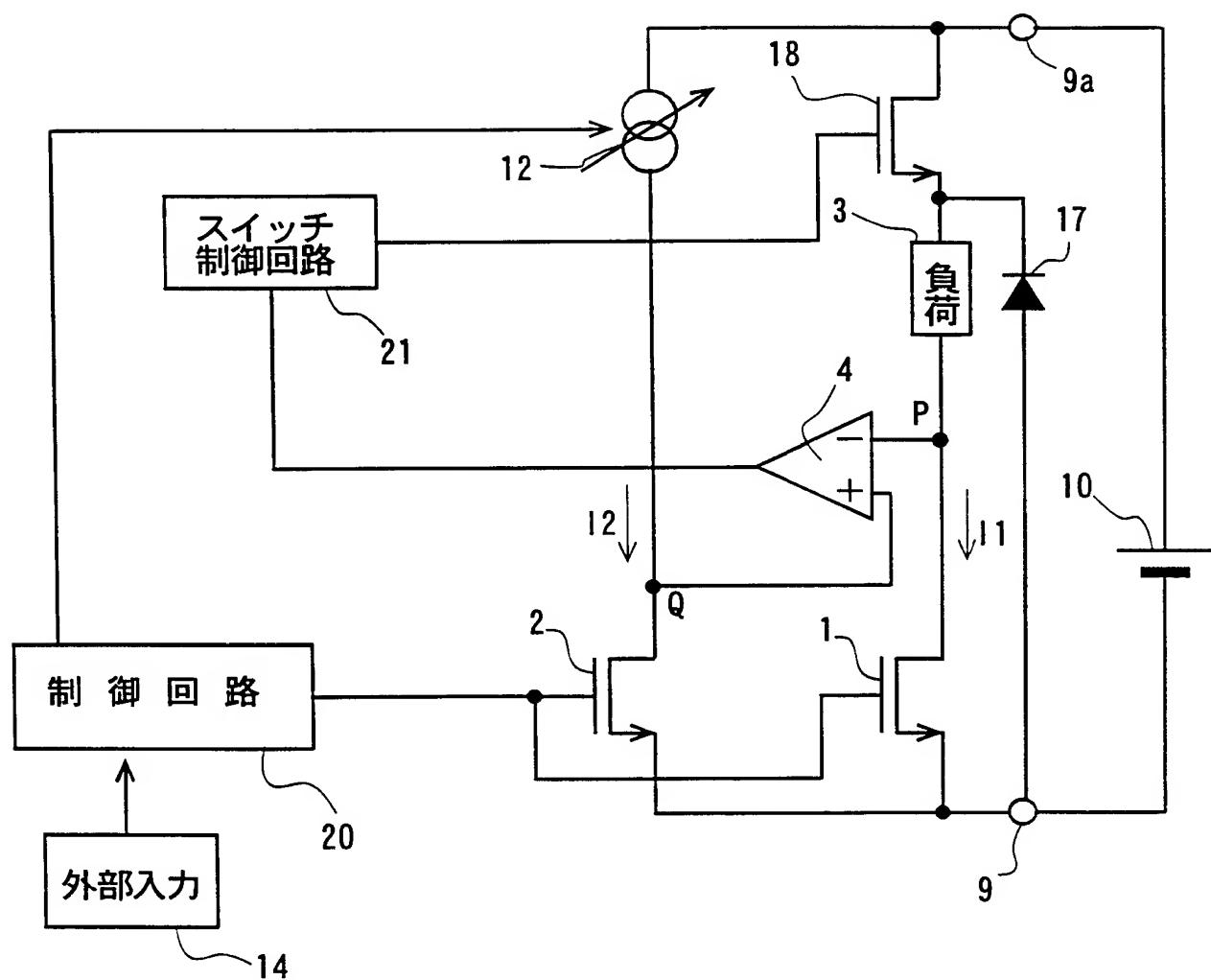


図 5 B



8 / 27

図 6

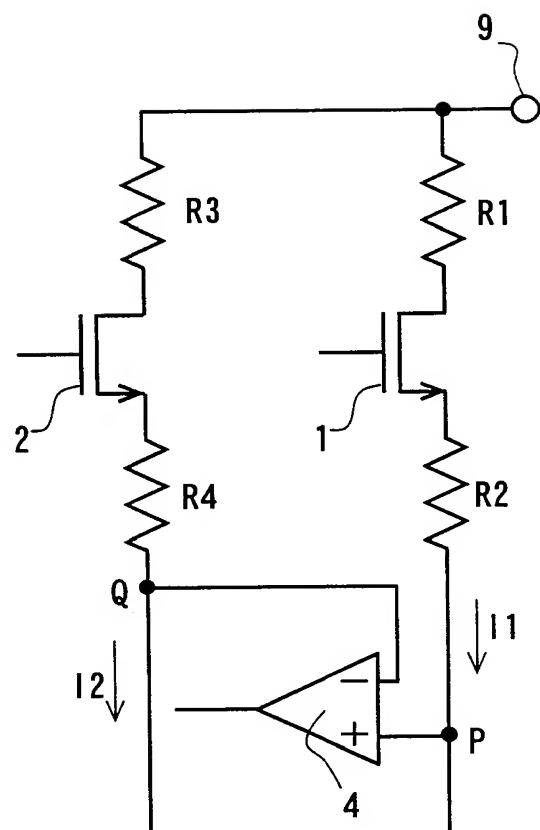


図7A

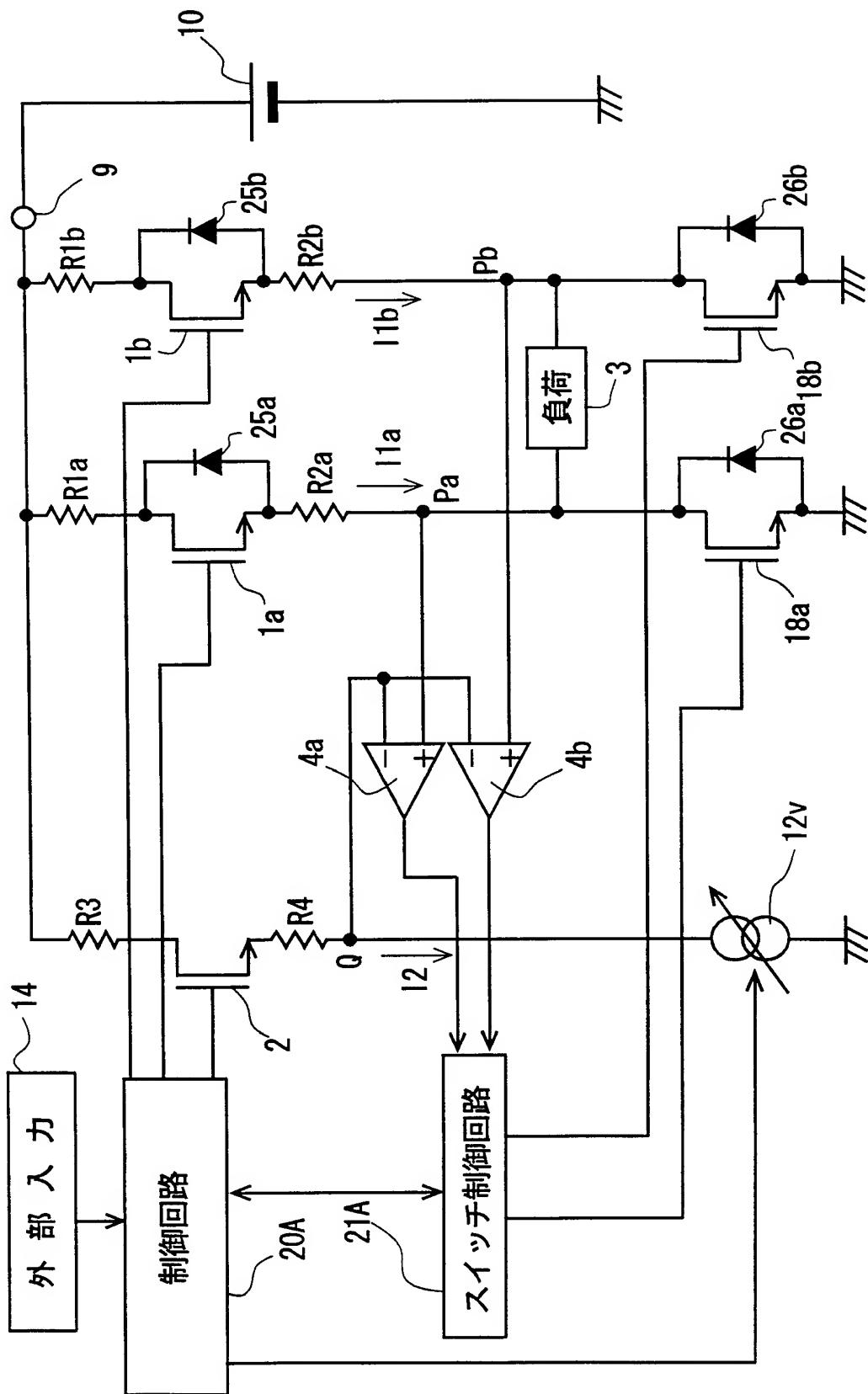
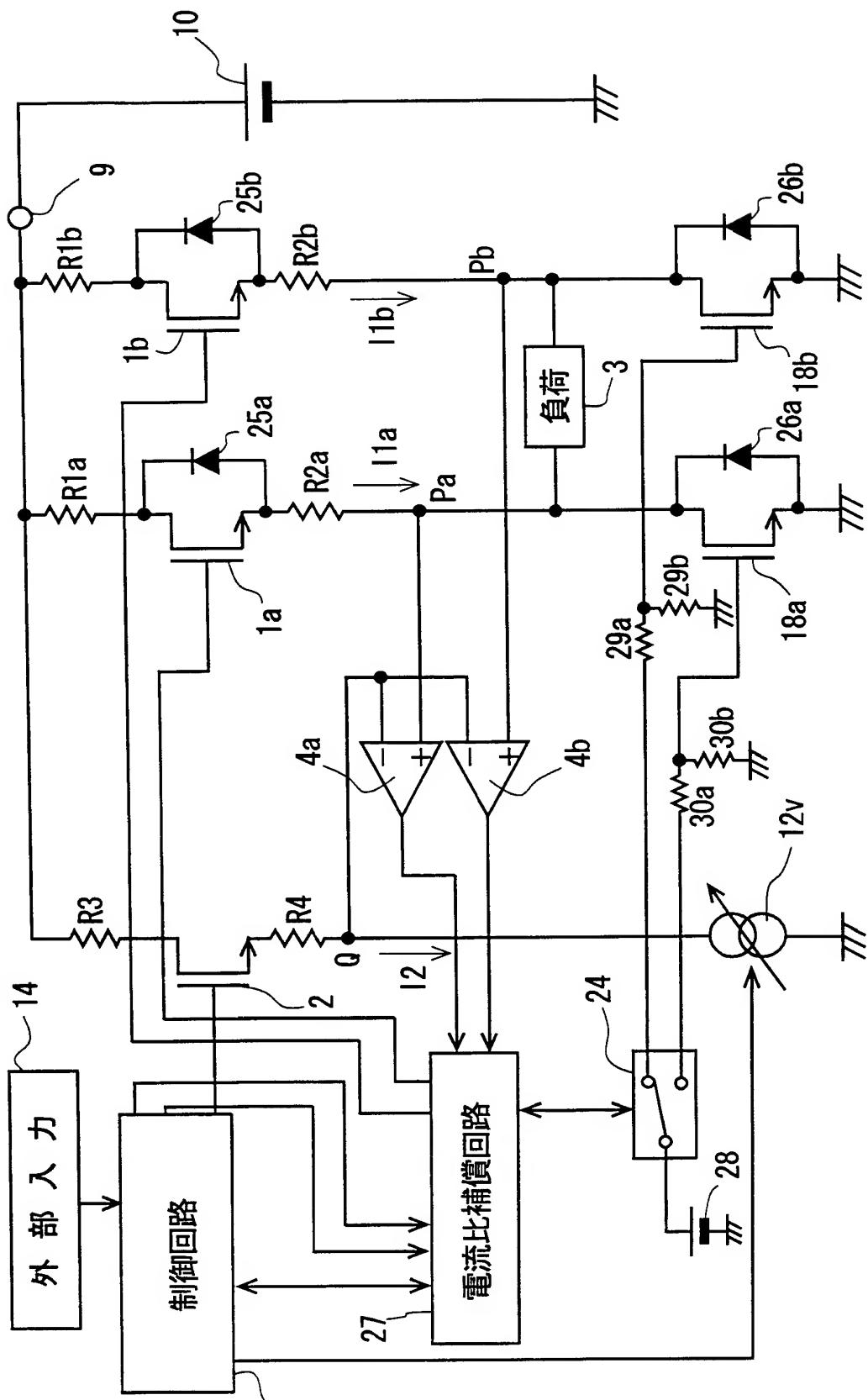
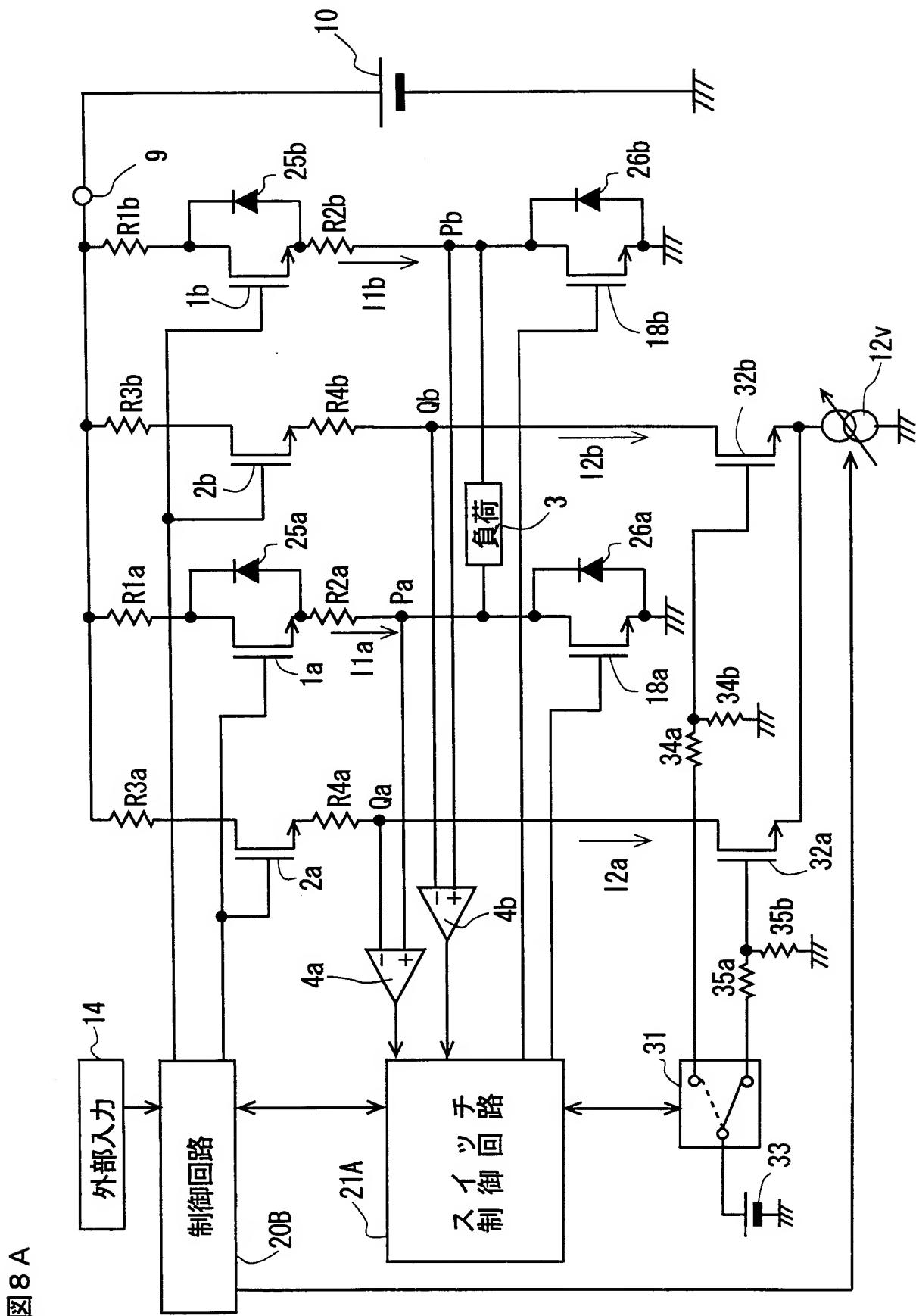


図7B



11 / 27



12/27

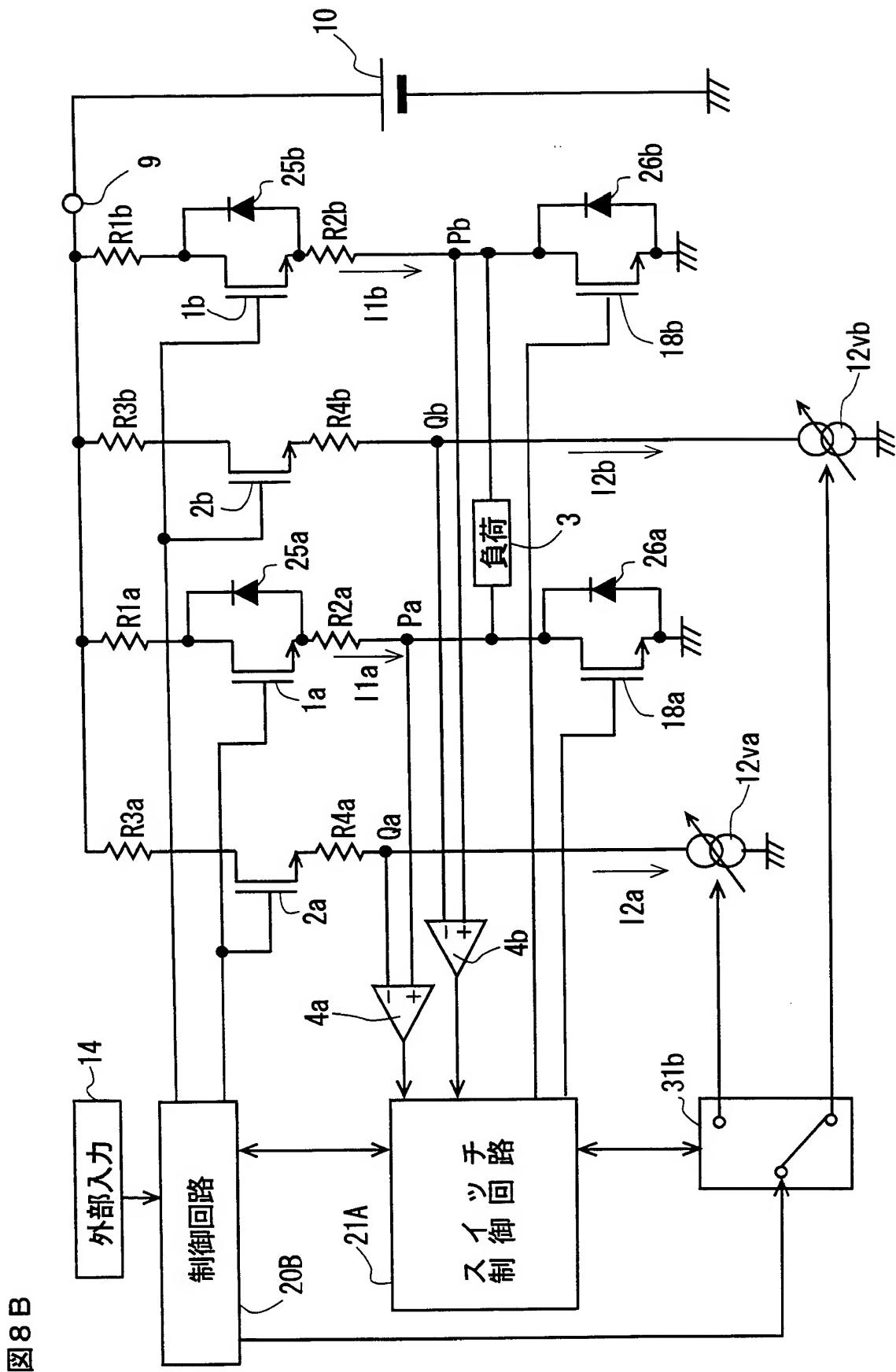
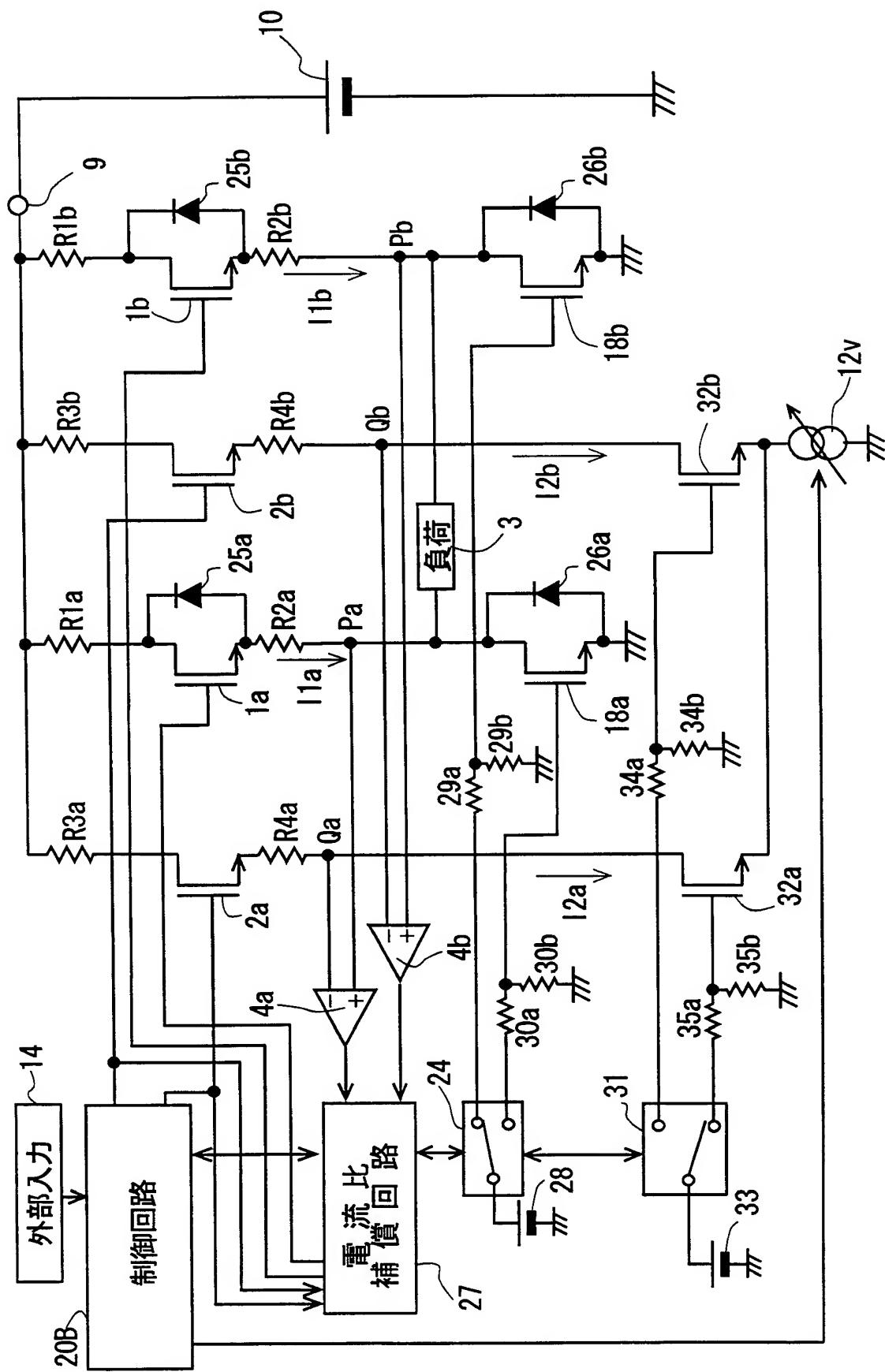
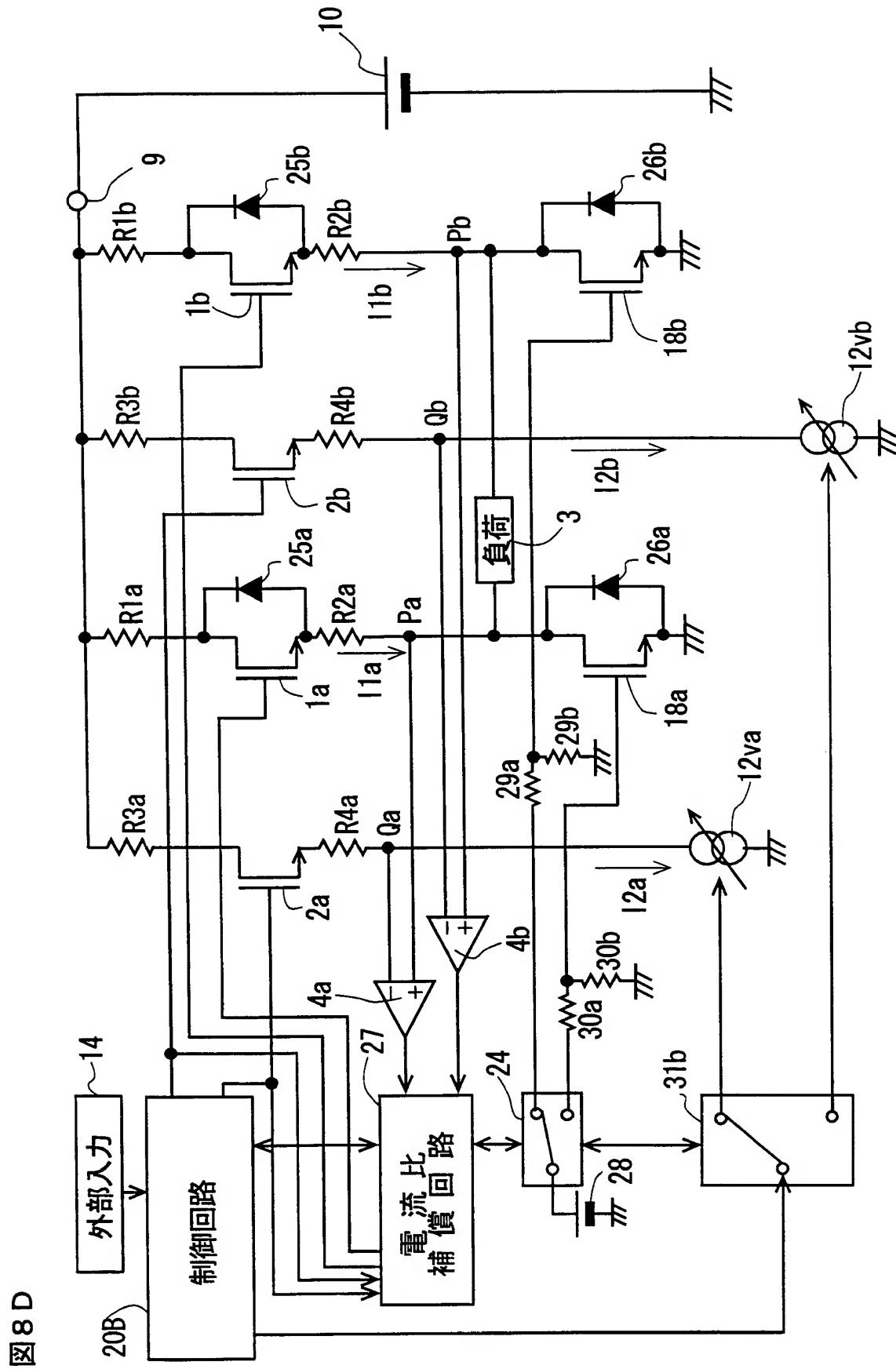
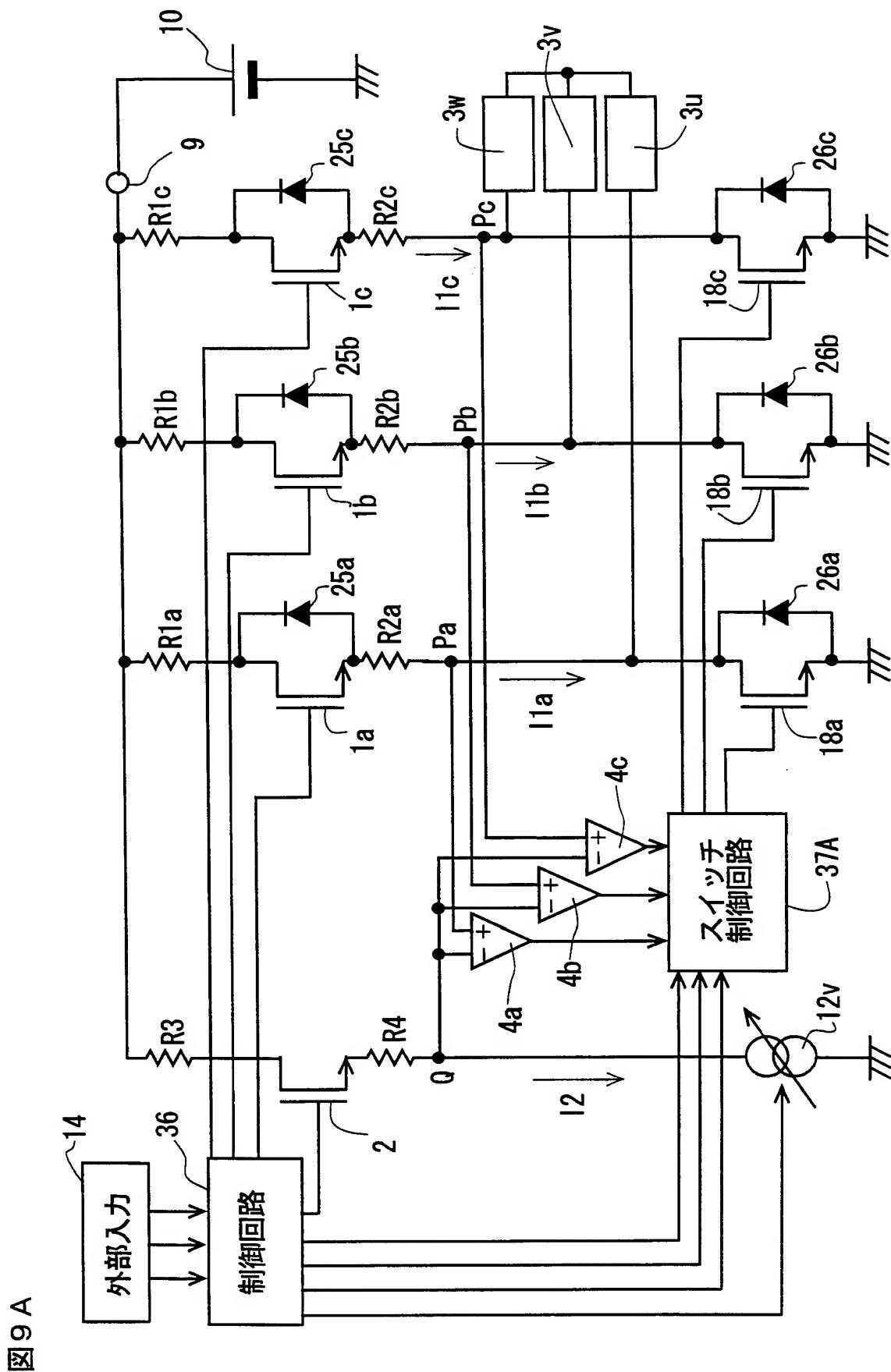


図 8 C





15 / 27



16 / 27

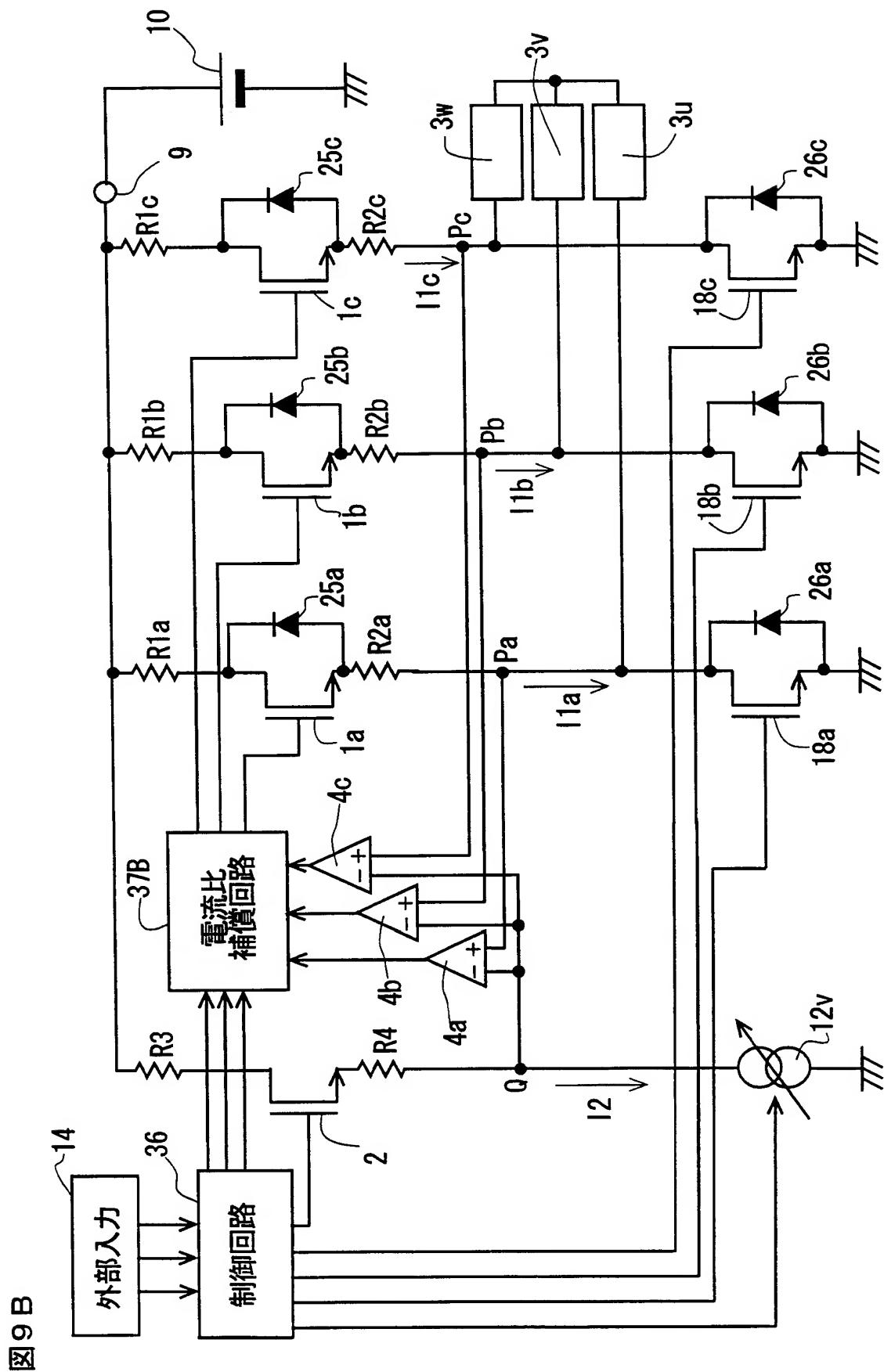


図10A

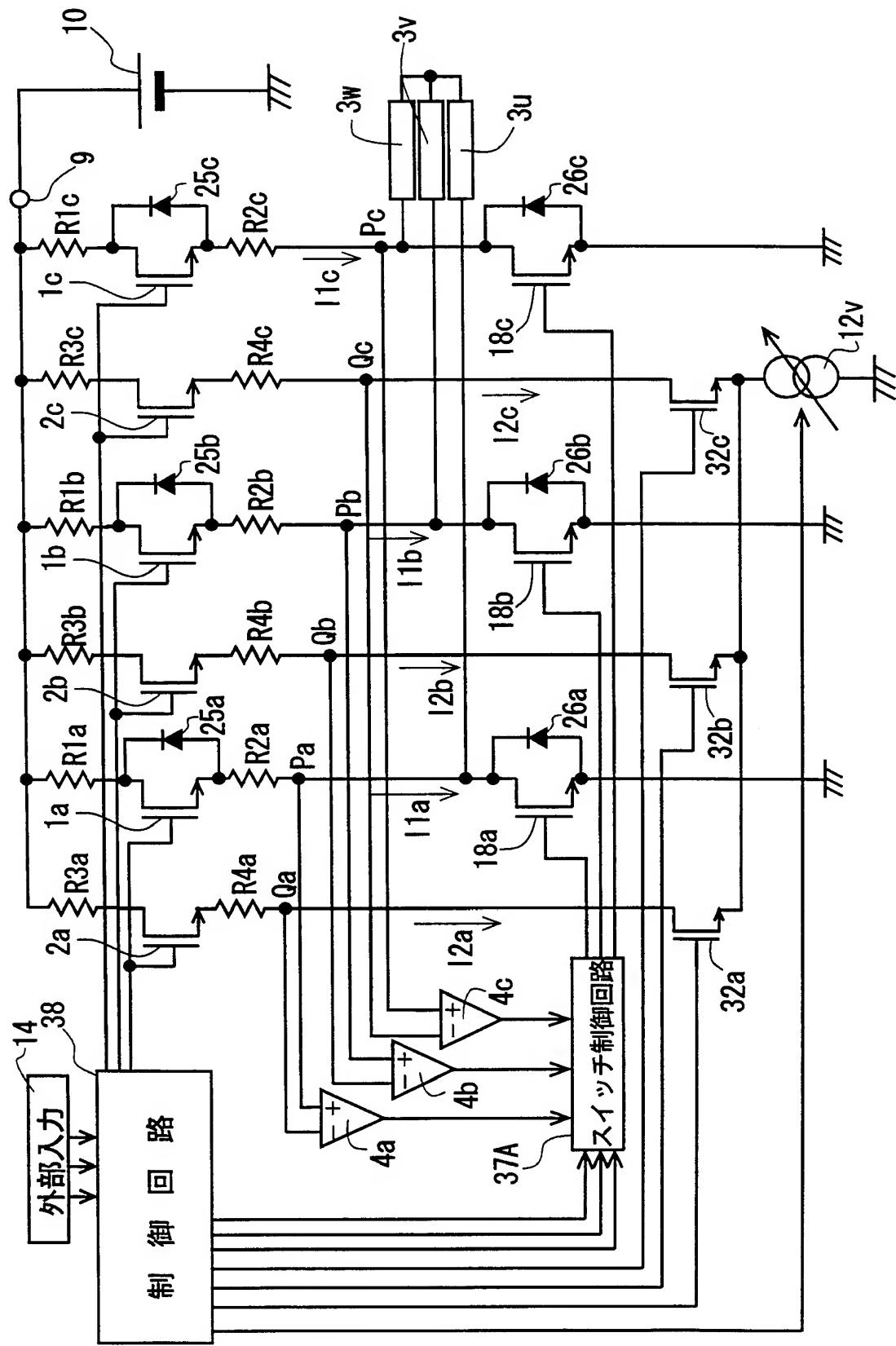


図10B

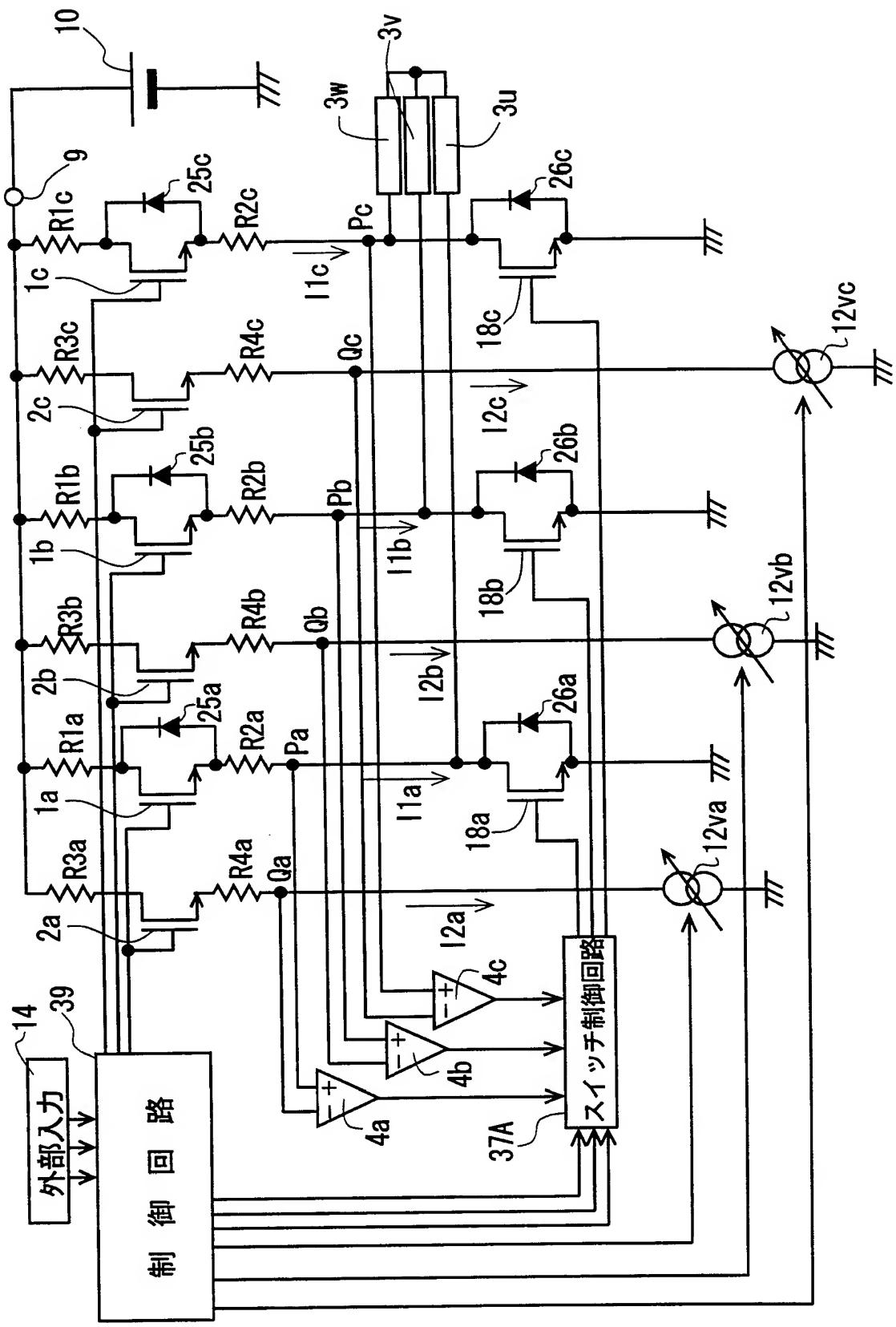


図 10C

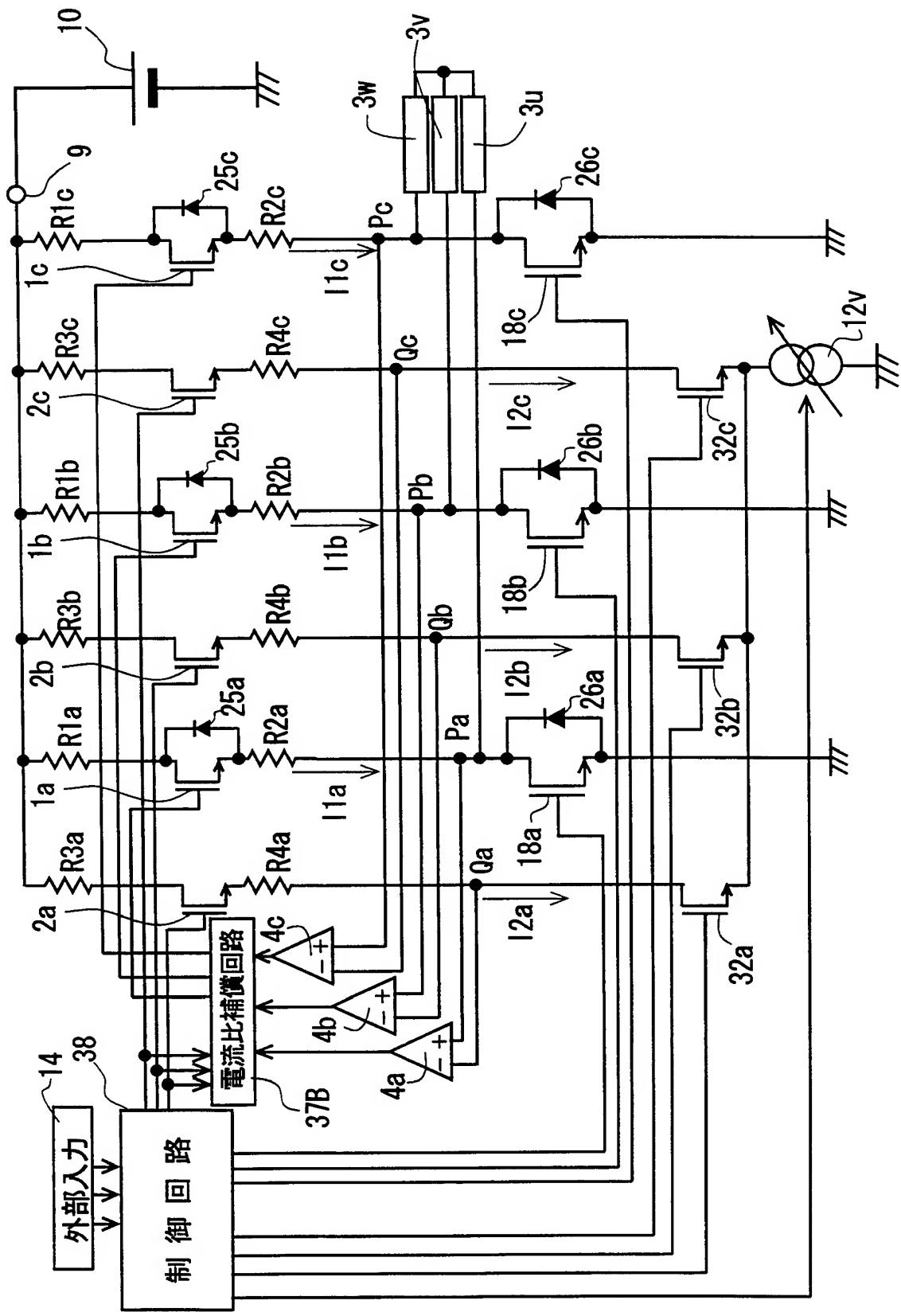
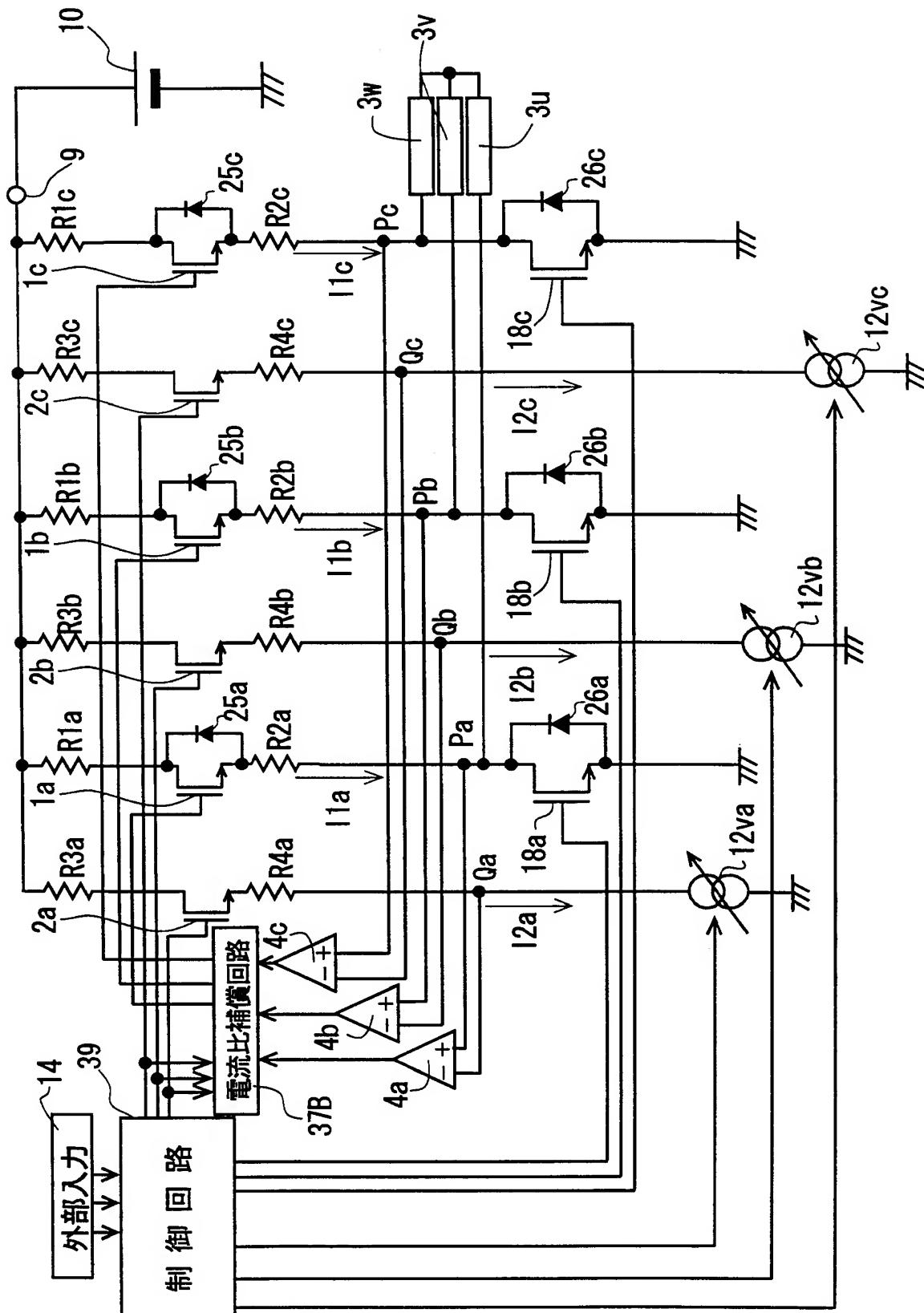
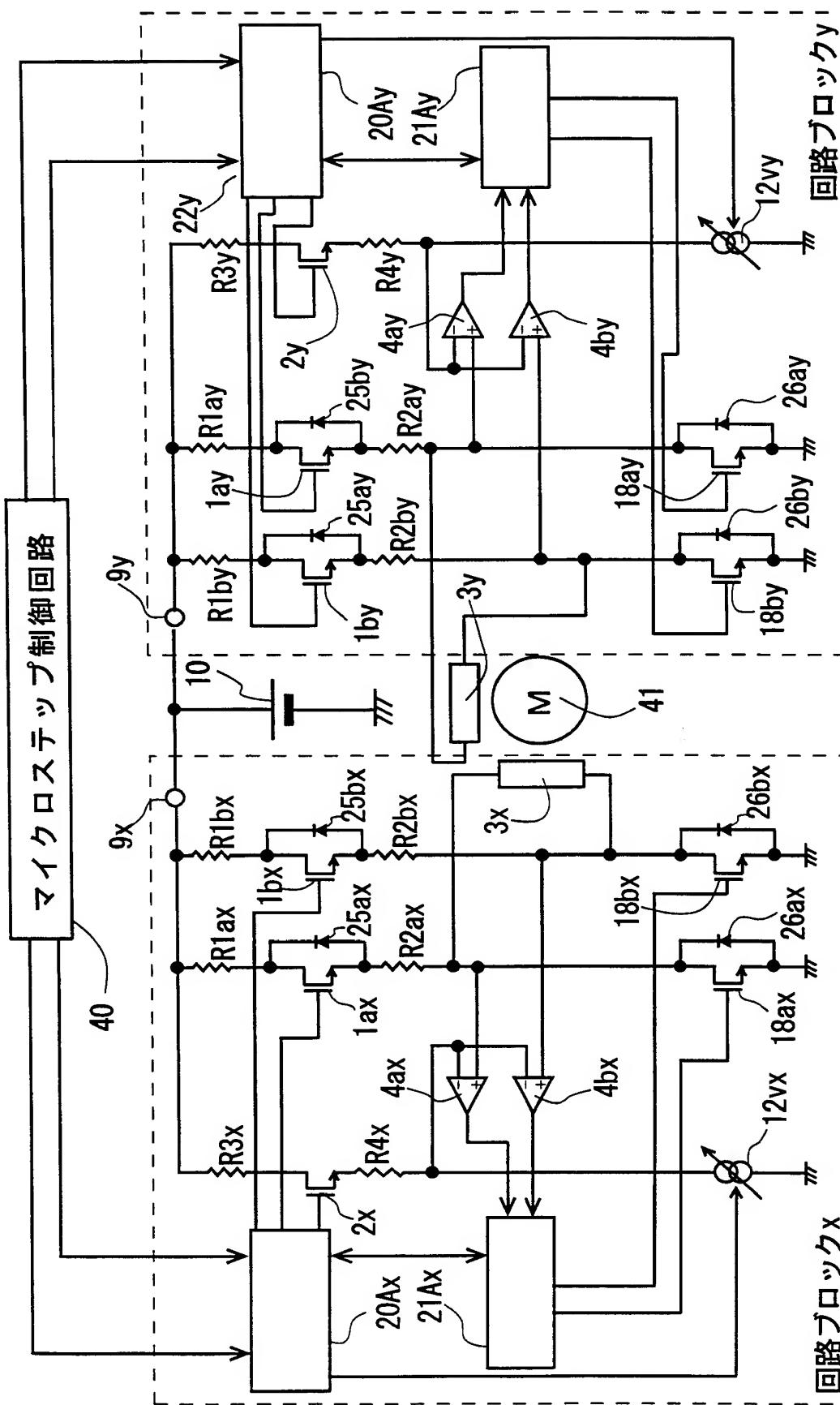


図 10 D

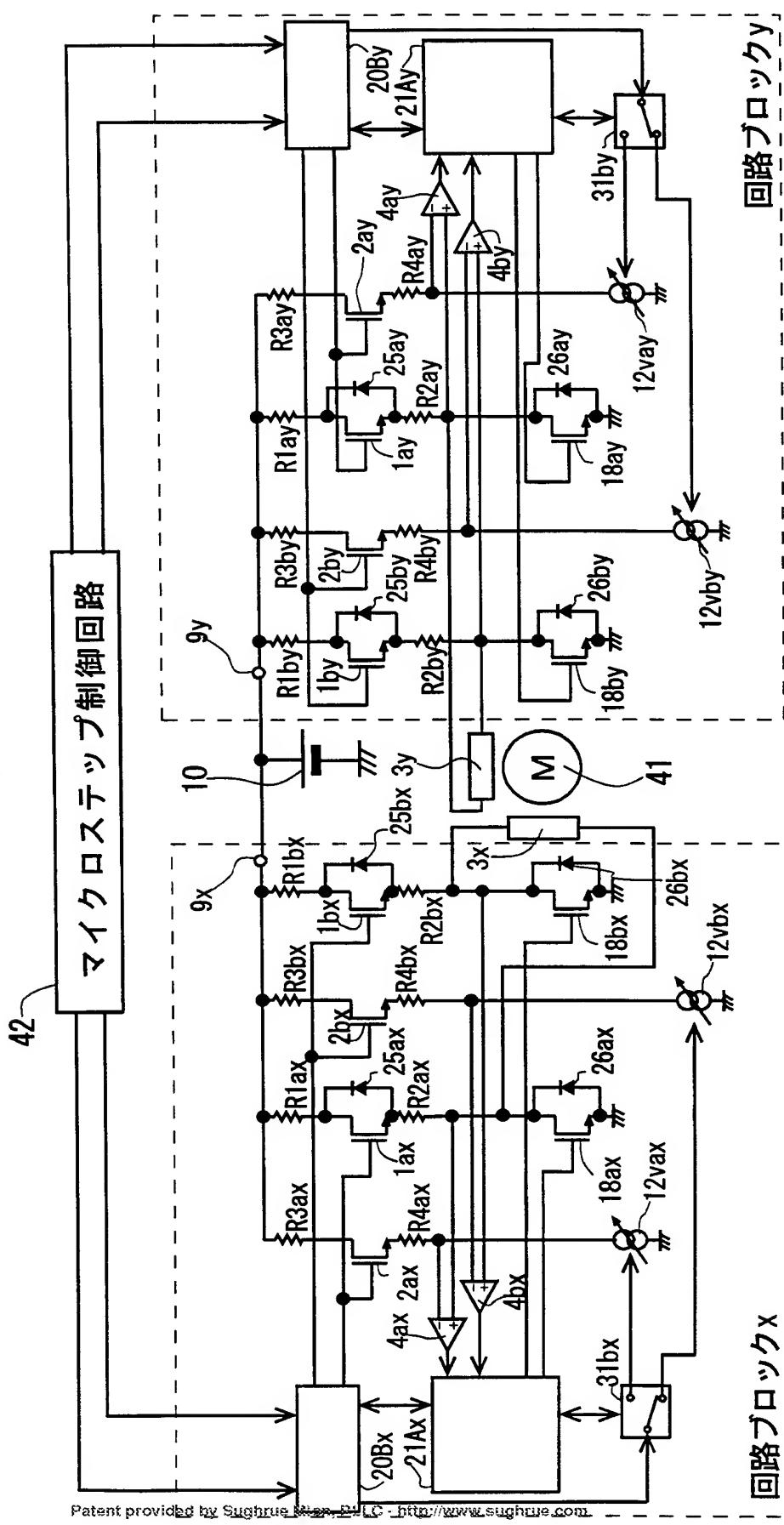


マイクロステップ制御回路
40

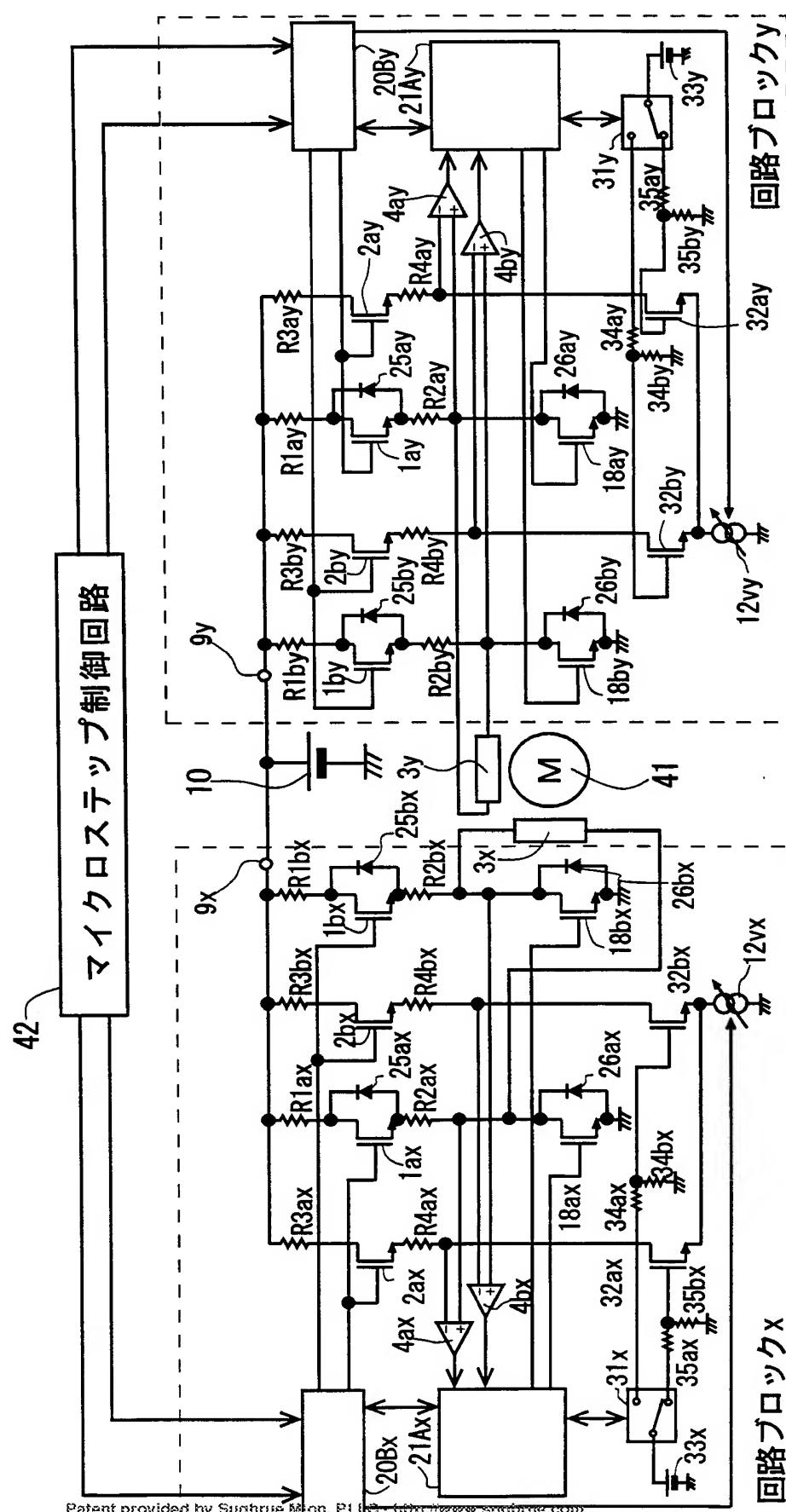


22 / 27

図 12A



23 / 27



24 / 27

図 1 3

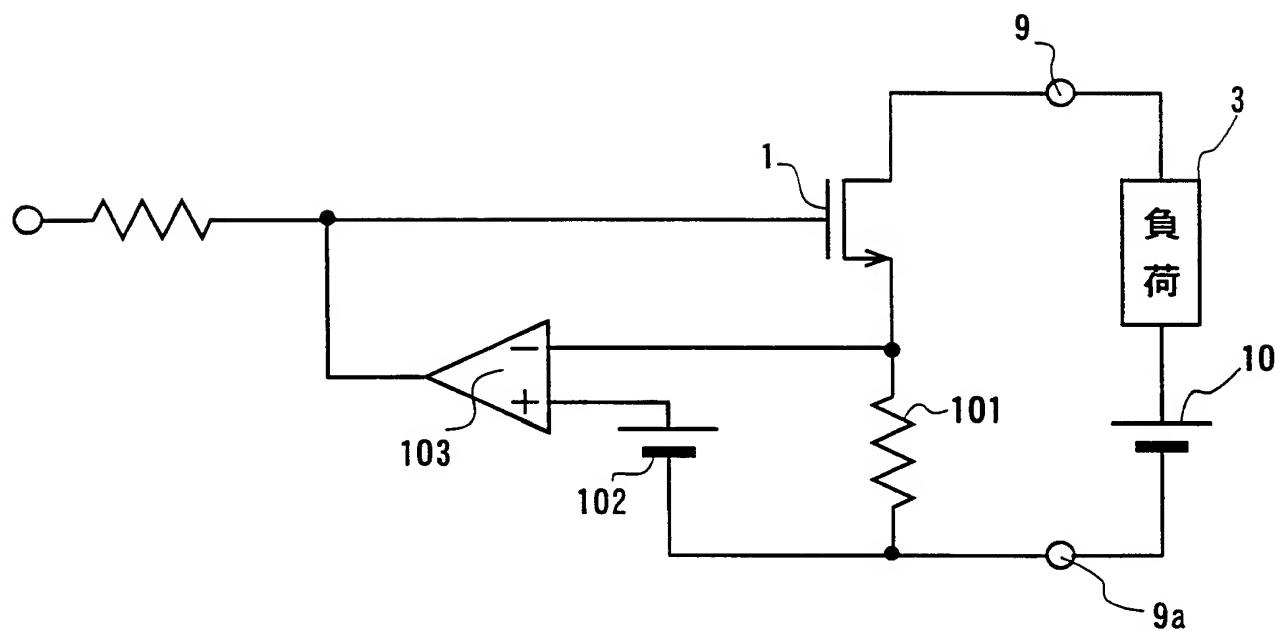


図14

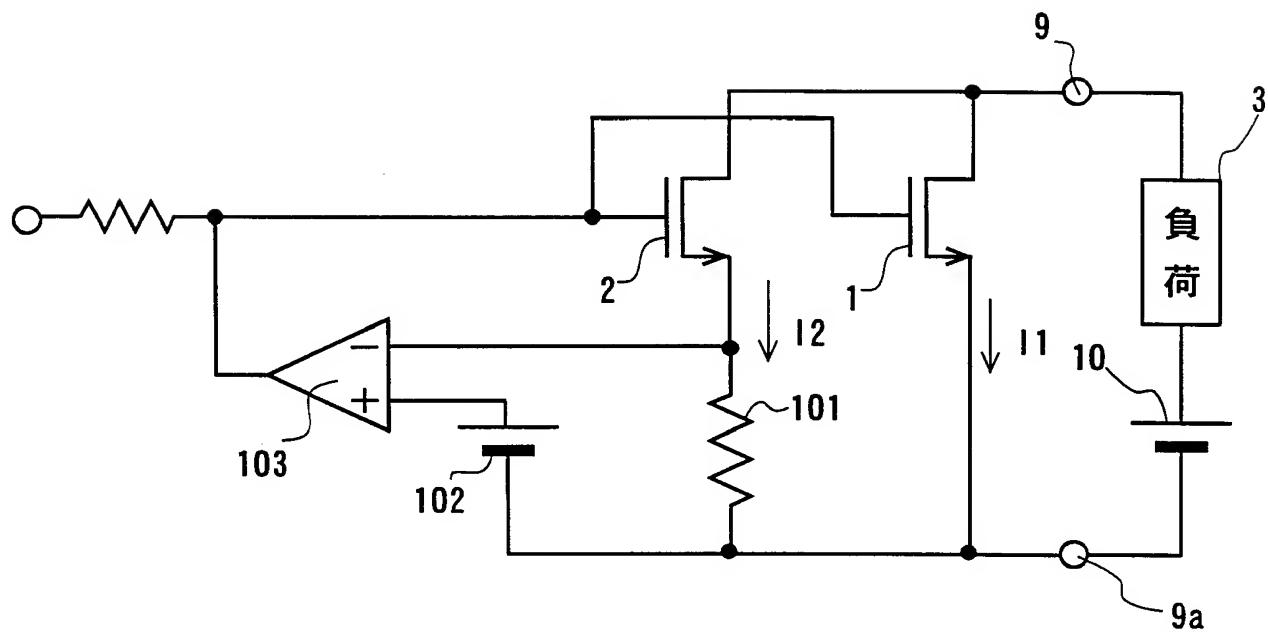
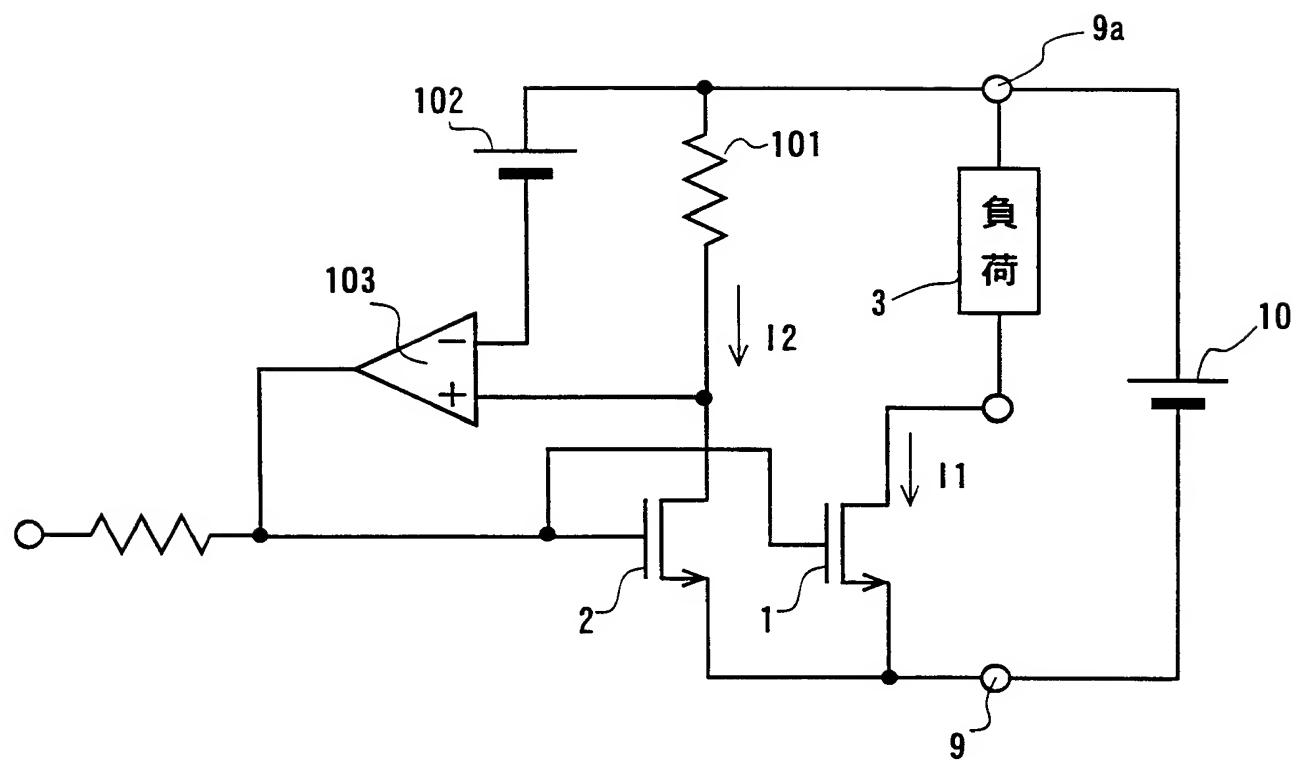


図15



27 / 27

図 16 A

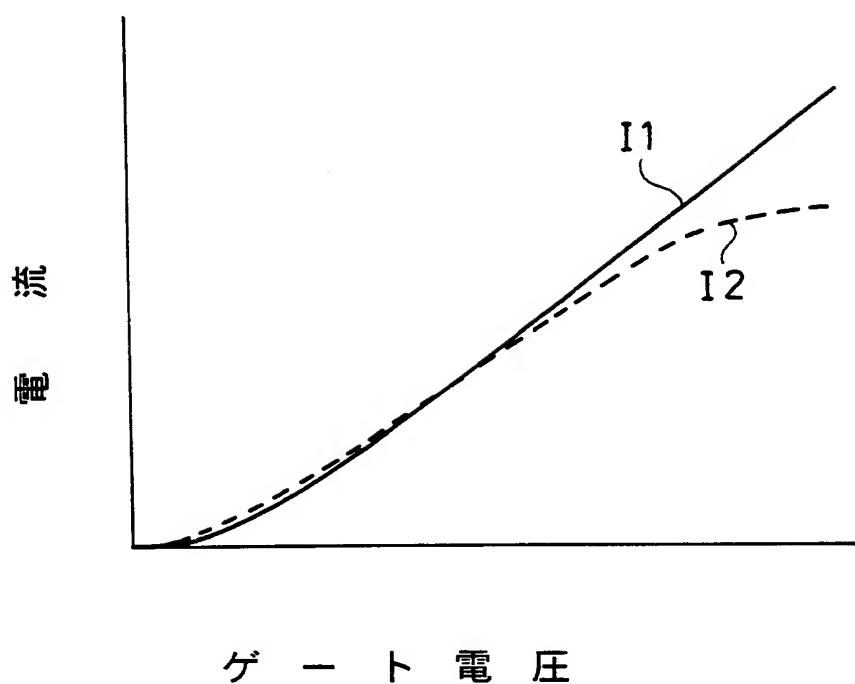
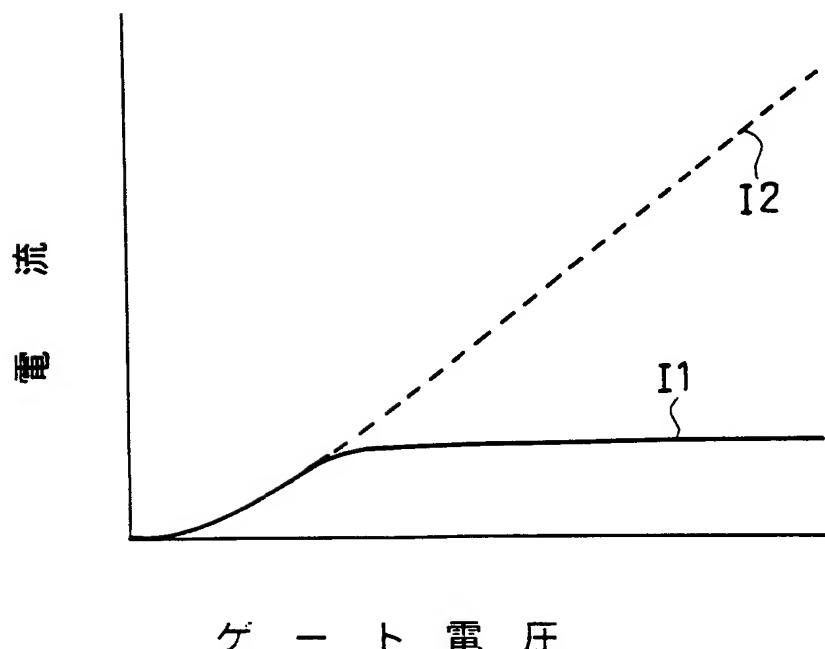


図 16 B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03931

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K17/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1940-2000

Kokai Jitsuyo Shinan Koho 1971-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 1-227520, A (Nippon Denso Co., Ltd.), 11 September, 1989 (11.09.89), page 3; upper right column, line 8 to lower right column, line 3 (Family: none)	1-7
A	JP, 3-262209, A (NEC Kansai, Ltd.), 21 November, 1991 (21.11.91), page 2; lower right column, line 14 to page 3; upper left column, line 2 (Family: none)	8-27
Y	JP, 4-134271, A (NEC Corporation), 08 May, 1992 (08.05.92), page 2; upper right column, lines 3 to 18 (Family: none)	1-7
A	JP, 5-291918, A (Mitsubishi Electric Corporation), 05 November, 1993 (05.11.93), page 3, Par. No. [0015] (Family: none)	8-27
A	JP, 4-211200, A (Mitsubishi Electric Corporation), 03 August, 1992 (03.08.92) & US, 5077595, A1 & US, 5296735, A1 & DE, 4034674, A & DE, 4124757, C	8-15, 24
A	JP, 4-211200, A (Mitsubishi Electric Corporation), 03 August, 1992 (03.08.92) & US, 5077595, A1 & US, 5296735, A1 & DE, 4034674, A & DE, 4124757, C	16-23, 25

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 October, 2000 (02.10.00)

Date of mailing of the international search report
10 October, 2000 (10.10.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03931

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	& FR, 2658003, A	

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. C17 H03K17/14

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. C17 H03K17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-2000
日本国公開実用新案公報 1971-2000

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 1-227520, A (日本電装株式会社), 11. 9月. 1989 (11. 09. 89), 第3頁, 右上欄第8行-右下欄第 3行 (ファミリーなし)	1-7
A		8-27
Y	JP, 3-262209, A (関西日本電気株式会社), 21. 1 月. 1991 (21. 11. 91), 第2頁, 右下欄第14行- 第3頁, 左上欄第2行 (ファミリーなし)	1-7
A		8-27

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

02. 10. 00

国際調査報告の発送日

10.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮 島 郁 美

5X 8523



電話番号 03-3581-1101 内線 3595

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP, 4-134271, A (日本電気株式会社), 8. 5月. 1 992 (08. 05. 92), 第2頁, 右上欄第3行—第18行 (ファミリーなし)	1-7
A		8-27
A	JP, 5-291918, A (三菱電機株式会社), 5. 11月. 1993 (05. 11. 93), 第3頁【0015】(ファミリー なし)	8-15, 24
A	JP, 4-211200, A (三菱電機株式会社), 3. 8月. 1992 (03. 08. 92) & US, 5077595, A1 & US, 5296735, A1&DE, 4034674, A&DE, 4124757, C&FR, 2658003, A	16-23, 25